

82478-3300
Takahiko Murata
JWP/949-253.4920

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 1 0 日
Date of Application:

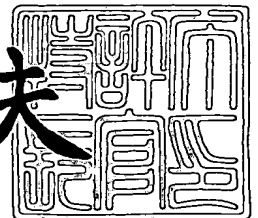
出 願 番 号 特 願 2 0 0 2 - 3 5 8 6 5 8
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 5 8 6 5 8]

出 願 人 松下電器産業株式会社
Applicant(s):

2 0 0 3 年 9 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 3 3 9 2

【書類名】 特許願

【整理番号】 2925030120

【提出日】 平成14年12月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/32

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 村田 隆彦

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 山口 琢己

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100090446

 【弁理士】

 【氏名又は名称】 中島 司朗

【手数料の表示】

 【予納台帳番号】 014823

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9003742

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 X-Yアドレス型固体撮像素子

【特許請求の範囲】

【請求項1】 光電変換および電荷蓄積が行われる画素部をX-Yのマトリックス状に配列した受光部を有して、当該受光部をX軸方向およびY軸方向に走査して蓄積電荷を読み出すX-Yアドレス型固体撮像素子であって、

電圧パルスが発生させるパルス発生回路から並列に印加される電圧パルスの組み合わせが第1の組み合わせであると、当該受光部における第1の画素部から走査を開始し、当該第1の組み合わせとは異なる第2の組み合わせであると、当該第1の画素部とは異なる第2の画素部から走査を開始する並列入力のシフトレジスタを備える

ことを特徴とするX-Yアドレス型固体撮像素子。

【請求項2】 前記パルス発生回路は、電圧レベルが高レベルおよび低レベルのいずれかになる第1の電圧パルス、第2の電圧パルス、及び第3の電圧パルスが発生させて前記シフトレジスタに印加し、

前記シフトレジスタは、走査を開始する前の第1の時刻において、当該第1の電圧パルスおよび当該第2の電圧パルスが高レベルで、当該第3の電圧パルスが低レベルで印加されると、前記第1の画素部から走査を開始し、当該第1の時刻において、当該第2の電圧パルスおよび当該第3の電圧パルスが高レベルで、当該第1の電圧パルスが低レベルで印加されると、前記第2の画素部から走査を開始する

ことを特徴とする請求項1に記載のX-Yアドレス型固体撮像素子。

【請求項3】 前記シフトレジスタは、

前記第1の画素部を前記受光部から選択することが示される第1の選択パルスを出力する第1のパルス出力部と、

前記第2の画素部を前記受光部から選択することが示される第2の選択パルスを出力する第2のパルス出力部と、

前記第1の時刻において、前記第1の電圧パルスおよび前記第2の電圧パルスが高レベルで印加されると、前記第1の画素部から走査を開始することが示され

る第1の走査開始パルスを、当該第1のパルス出力部に出力する第1の走査開始部と、

前記第1の時刻において、前記第2の電圧パルスおよび前記第3の電圧パルスが高レベルで印加されると、前記第2の画素部から走査を開始することが示される第2の走査開始パルスを、当該第2のパルス出力部に出力する第2の走査開始部と

を備え、

当該第1のパルス出力部は、

前記第1の時刻において、当該第1の走査開始パルスが印加され、前記第1の時刻に続く第2の時刻において、前記第3の電圧パルスが高レベルで印加されると、当該第1の選択パルスを出力し、

当該第2のパルス出力部は、

前記第1の時刻において、当該第2の走査開始パルスが印加され、当該第2の時刻において、前記第1の電圧パルスが高レベルで印加されると、当該第2の選択パルスを出力する

ことを特徴とする請求項2に記載のX-Yアドレス型固体撮像素子。

【請求項4】 前記パルス発生回路は、電圧レベルが高レベルおよび低レベルのいずれかになる第4の電圧パルスを発生させて前記シフトレジスタに印加し、

前記第1の走査開始部は、

当該第4の電圧パルスがドレインに印加され、前記第2の電圧パルスがゲートに印加される第1のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) と、

当該第1のMOSFETのソースにドレインが接続され、前記第1の電圧パルスがゲートに印加される第2のMOSFETと

を備え、

前記第1の時刻において、当該第4の電圧パルスが高レベルで印加されると、当該第2のMOSFETのソースに現れる高レベルの電圧パルスを、前記第1の走査開始パルスとして出力する

ことを特徴とする請求項 3 に記載の X-Y アドレス型固体撮像素子。

【請求項 5】 前記シフトレジスタは、単一チャンネルの MOSFET で構成されている

ことを特徴とする請求項 4 に記載の X-Y アドレス型固体撮像素子。

【請求項 6】 前記受光部において、第 1 の列に属する画素部を前記第 1 の画素部とし、当該第 1 の列とは異なる第 2 の列に属する画素部を前記第 2 の画素部として、

前記シフトレジスタは、前記受光部の X 軸方向に沿って配置され、前記受光部を X 軸方向に走査する水平走査シフトレジスタである

ことを特徴とする請求項 5 に記載の X-Y アドレス型固体撮像素子。

【請求項 7】 前記パルス発生回路は、電圧レベルが高レベルおよび低レベルのいずれかになる第 1 の電圧パルスおよび第 2 の電圧パルスを発生させて前記シフトレジスタに印加し、

前記シフトレジスタは、走査を開始する前の第 1 の時刻において、当該第 1 の電圧パルスが高レベルで、当該第 2 の電圧パルスが低レベルで印加されると、前記第 1 の画素部から走査を開始し、当該第 1 の時刻において、当該第 1 の電圧パルスが低レベルで、当該第 2 の電圧パルスが高レベルで印加されると、前記第 2 の画素部から走査を開始する

ことを特徴とする請求項 1 に記載の X-Y アドレス型固体撮像素子。

【請求項 8】 前記受光部において、第 1 の行に属する画素部を前記第 1 の画素部とし、当該第 1 の行とは異なる第 2 の行に属する画素部を前記第 2 の画素部として、

前記シフトレジスタは、前記受光部の Y 軸方向に沿って配置され、前記受光部を Y 軸方向に走査する垂直走査シフトレジスタである

ことを特徴とする請求項 5 に記載の X-Y アドレス型固体撮像素子。

【請求項 9】 前記パルス発生回路は、電圧レベルが高レベルおよび低レベルのいずれかになる第 4 の電圧パルスを発生させて前記シフトレジスタに印加し、

前記シフトレジスタは、走査を終了する前の第 3 の時刻において、前記第 1 の

電圧パルスおよび当該第4の電圧パルスが高レベルで、前記第2の電圧パルスが低レベルで印加されないと、前記受光部における終端の画素部で走査を終了し、印加されると、当該終端の画素部とは異なる第3の画素部で走査を終了することを特徴とする請求項3に記載のX-Yアドレス型固体撮像素子。

【請求項10】 前記シフトレジスタは、

前記第3の画素部を前記受光部から選択することが示される第3の選択パルスを出力する第3のパルス出力部と、

前記第3の画素部に隣接する第4の画素部を前記受光部から選択することが示される第4の選択パルスを出力する第4のパルス出力部と、

前記第3の時刻において、前記第1の電圧パルスおよび前記第4の電圧パルスが高レベルで印加されると、前記第3の画素部で走査を終了することが示される第1の走査終了パルスを、当該第4のパルス出力部に出力する第1の走査終了部と

を備え、

当該第3のパルス出力部は、

前記第3の時刻において、前記第1の電圧パルスが高レベルで印加されると、当該第3の選択パルスを出力し、

当該第4のパルス出力部は、

前記第3の時刻において、当該第1の走査終了パルスが印加されずに、前記第3の時刻に続く第4の時刻において、前記第2の電圧パルスが高レベルで印加されると、当該第4の選択パルスを出力し、前記第3の時刻において、当該第1の走査終了パルスが印加されると、当該第4の時刻において、前記第2の電圧パルスが高レベルで印加されても、当該第4の選択パルスを出力しない

ことを特徴とする請求項9に記載のX-Yアドレス型固体撮像素子。

【請求項11】 前記パルス発生回路は、電圧レベルが高レベルおよび低レベルのいずれかになる第5の電圧パルスを発生させて前記シフトレジスタに印加し、

前記第2の走査開始部は、

当該第5の電圧パルスがドレインに印加され、前記第3の電圧パルスがゲート

に印加される第1のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) と、

当該第1のMOSFETのソースにドレインが接続され、前記第2の電圧パルスがゲートに印加される第2のMOSFETと

を備え、

前記第1の時刻において、当該第5の電圧パルスが高レベルで印加されると、当該第2のMOSFETのソースに現れる高レベルの電圧パルスを、前記第2の走査開始パルスとして出力し、

前記第1の走査終了部は、

当該第5の電圧パルスがドレインに印加され、前記第4の電圧パルスがゲートに印加される第3のMOSFETと、

当該第3のMOSFETのソースにドレインが接続され、前記第1の電圧パルスがゲートに印加される第4のMOSFETと

を備え、

前記第3の時刻において、当該第5の電圧パルスが低レベルで印加されると、当該第4のMOSFETのソースに現れる低レベルの電圧パルスを、前記第1の走査終了パルスとして出力する

ことを特徴とする請求項10に記載のX-Yアドレス型固体撮像素子。

【請求項12】 光電変換および電荷蓄積が行われる画素部をX-Yのマトリックス状に配列した受光部を有して、当該受光部をX軸方向およびY軸方向に走査して蓄積電荷を読み出すX-Yアドレス型固体撮像素子であって、

電圧パルスを発生させるパルス発生回路から並列に印加される電圧パルスの組み合わせが第1の組み合わせ以外であると、当該受光部における終端の画素部で走査を終了し、当該第1の組み合わせであると当該終端の画素部とは異なる第1の画素部で走査を終了する並列入力のシフトレジスタを備える

ことを特徴とするX-Yアドレス型固体撮像素子。

【請求項13】 前記パルス発生回路は、電圧レベルが高レベルおよび低レベルのいずれかになる第1の電圧パルス、第2の電圧パルス、及び第3の電圧パルスを発生させて前記シフトレジスタに印加し、

前記シフトレジスタは、走査を終了する前の第 1 の時刻において、前記第 1 の電圧パルスおよび当該第 3 の電圧パルスが高レベルで、前記第 2 の電圧パルスが低レベルで印加されないと、前記終端の画素部で走査を終了し、印加されると、前記第 1 の画素部で走査を終了する

ことを特徴とする請求項 12 に記載の X-Y アドレス型固体撮像素子。

【請求項 14】 前記シフトレジスタは、

前記第 1 の画素部を前記受光部から選択することが示される第 1 の選択パルスを出力する第 1 のパルス出力部と、

前記第 1 の画素部に隣接する第 2 の画素部を前記受光部から選択することが示される第 2 の選択パルスを出力する第 2 のパルス出力部と、

前記第 1 の時刻において、前記第 1 の電圧パルスおよび前記第 3 の電圧パルスが高レベルで印加されると、前記第 1 の画素部で走査を終了することが示される第 1 の走査終了パルスを、当該第 2 のパルス出力部に出力する第 1 の走査終了部と

を備え、

当該第 1 のパルス出力部は、

前記第 1 の時刻において、前記第 1 の電圧パルスが高レベルで印加されると、当該第 1 の選択パルスを出力し、

当該第 2 のパルス出力部は、

前記第 1 の時刻において、当該第 1 の走査終了パルスが印加されずに、前記第 1 の時刻に続く第 2 の時刻において、前記第 2 の電圧パルスが高レベルで印加されると、当該第 2 の選択パルスを出力し、前記第 1 の時刻において、当該第 1 の走査終了パルスが印加されると、当該第 2 の時刻において、前記第 2 の電圧パルスが高レベルで印加されても、当該第 2 の選択パルスを出力しない

ことを特徴とする請求項 13 に記載の X-Y アドレス型固体撮像素子。

【請求項 15】 前記パルス発生回路は、電圧レベルが高レベルおよび低レベルのいずれかになる第 4 の電圧パルスを発生させて前記シフトレジスタに印加し、

前記第 1 の走査終了部は、

当該第4の電圧パルスがドレインに印加され、前記第3の電圧パルスがゲートに印加される第1のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) と、

当該第1のMOSFETのソースにドレインが接続され、前記第1の電圧パルスがゲートに印加される第2のMOSFETと

を備え、

前記第1の時刻において、当該第4の電圧パルスが低レベルで印加されると、当該第2のMOSFETのソースに現れる低レベルの電圧パルスを、前記第1の走査終了パルスとして出力する

ことを特徴とする請求項14に記載のX-Yアドレス型固体撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタルカメラなどに用いられるX-Yアドレス型固体撮像素子、特に、撮像する領域に応じて走査する時間を短縮する技術に関する。

【0002】

【従来の技術】

従来、X-Yアドレス型固体撮像素子は、大別して、受光部および駆動部から構成される。

受光部は、光電変換および電荷蓄積が行われる画素部をX-Yのマトリックス状に配列して構成される。

【0003】

駆動部は、水平走査シフトレジスタおよび垂直走査シフトレジスタから構成される。

ここで、水平走査シフトレジスタとは、受光部のX軸方向に沿って配置され、受光部をX軸方向に走査する直列入力・並列出力のシフトレジスタを指し、垂直走査シフトレジスタとは、受光部のY軸方向に沿って配置され、受光部をY軸方向に走査する直列入力・並列出力のシフトレジスタを指す。

【0004】

さらに、X-Yアドレス型固体撮像素子は、受光部に結像された画像を撮像する際には、電圧パルスが発生させるパルス発生回路からそれぞれのシフトレジスタに電圧パルスが印加されて、水平走査シフトレジスタで、左端から右端までX軸方向に走査し、一方、垂直走査シフトレジスタで、上端から下端までY軸方向に走査して、画素部に蓄積されている信号電荷を読み出す。

【0005】

そして、X-Yアドレス型固体撮像素子は、受光部を全領域に渡って走査して読み出した信号電荷を、画像データとしてメモリに記憶する。

【0006】

【非特許文献1】

安藤隆男／菰淵寛仁 著 「固体撮像素子の基礎 ―電子の目のしくみ―」 株式会社 日本理工出版会、1999年12月5日、p. 74-76, 116-119

【0007】

【発明が解決しようとする課題】

しかしながら、受光部に結像された画像の一部の領域を撮像する際でも、一旦、全領域に渡って走査して読み出した信号電荷を、画像データとしてメモリに記憶する。そして、メモリに記憶した画像データから一部の領域を抜き出した画像データを生成する。即ち、一部の領域を撮像する際でも、走査に要する時間は、全領域に渡って撮像する際と変わらないという問題がある。

【0008】

本発明は、前述の問題に鑑みてなされたものであり、撮像する領域に応じて、走査に要する時間を短縮するX-Yアドレス型固体撮像素子を提供することを目的とする。

【0009】

【課題を解決するための手段】

<解決手段1>

前述の課題を解決するにあたり、本発明に係わるX-Yアドレス型固体撮像素子は、光電変換および電荷蓄積が行われる画素部をX-Yのマトリックス状に配

列した受光部を有して、当該受光部を X 軸方向および Y 軸方向に走査して蓄積電荷を読み出す X-Y アドレス型固体撮像素子であって、電圧パルスが発生させるパルス発生回路から並列に印加される電圧パルスの組み合わせが第 1 の組み合わせであると、当該受光部における第 1 の画素部から走査を開始し、当該第 1 の組み合わせとは異なる第 2 の組み合わせであると、当該第 1 の画素部とは異なる第 2 の画素部から走査を開始する並列入力のシフトレジスタを備えるとする。

【0010】

これによって、電圧パルスの組み合わせに応じて、走査を開始する画素部を変更することができる。例えば、受光部における左端の画素部を第 1 の画素部とし、左端から N 番目の画素部を第 2 の画素部として、左から右に受光部を走査する際に、第 2 の画素部から走査を開始すると、第 1 の画素部から走査を開始する場合と比べて、左端から N-1 番目までの画素部を走査しない分、走査する時間を短縮することが可能という効果がある。

【0011】

< 解決手段 2 >

さらに、解決手段 1 に記載の内容に加えて、前記パルス発生回路は、電圧レベルが高レベルおよび低レベルのいずれかになる第 1 の電圧パルス、第 2 の電圧パルス、及び第 3 の電圧パルスが発生させて前記シフトレジスタに印加し、前記シフトレジスタは、走査を開始する前の第 1 の時刻において、当該第 1 の電圧パルスおよび当該第 2 の電圧パルスが高レベルで、当該第 3 の電圧パルスが低レベルで印加されると、前記第 1 の画素部から走査を開始し、当該第 1 の時刻において、当該第 2 の電圧パルスおよび当該第 3 の電圧パルスが高レベルで、当該第 1 の電圧パルスが低レベルで印加されると、前記第 2 の画素部から走査を開始するとしてもよい。

【0012】

これによって、3 つの電圧パルス（第 1 の電圧パルス、第 2 の電圧パルス、及び第 3 の電圧パルス）を組み合わせることで、走査を開始する画素部を第 1 の画素部および第 2 の画素部のいずれから選択することができ、走査する領域を変更することが可能という効果がある。

<解決手段3>

さらに、解決手段2に記載の内容に加えて、前記シフトレジスタは、前記第1の画素部を前記受光部から選択することが示される第1の選択パルスを入力する第1のパルス出力部と、前記第2の画素部を前記受光部から選択することが示される第2の選択パルスを入力する第2のパルス出力部と、前記第1の時刻において、前記第1の電圧パルスおよび前記第2の電圧パルスが高レベルで印加されると、前記第1の画素部から走査を開始することが示される第1の走査開始パルスを、当該第1のパルス出力部に出力する第1の走査開始部と、前記第1の時刻において、前記第2の電圧パルスおよび前記第3の電圧パルスが高レベルで印加されると、前記第2の画素部から走査を開始することが示される第2の走査開始パルスを、当該第2のパルス出力部に出力する第2の走査開始部とを備え、当該第1のパルス出力部は、前記第1の時刻において、当該第1の走査開始パルスが印加され、前記第1の時刻に続く第2の時刻において、前記第3の電圧パルスが高レベルで印加されると、当該第1の選択パルスを入力し、当該第2のパルス出力部は、前記第1の時刻において、当該第2の走査開始パルスが印加され、当該第2の時刻において、前記第1の電圧パルスが高レベルで印加されると、当該第2の選択パルスを入力するとしてもよい。

【0013】

これによって、第1の走査開始部に第1の組み合わせ（第1の電圧パルスおよび第2の電圧パルスが高レベル）で印加されると、第1の画素部から走査を開始し、第2の走査開始部に第2の組み合わせ（第2の電圧パルスおよび第3の電圧パルスが高レベル）で印加されると、第2の画素部から走査を開始することが可能という効果がある。

【0014】

<解決手段4>

さらに、解決手段3に記載の内容に加えて、前記パルス発生回路は、電圧レベルが高レベルおよび低レベルのいずれかになる第4の電圧パルスを発生させて前記シフトレジスタに印加し、前記第1の走査開始部は、当該第4の電圧パルスがドレインに印加され、前記第2の電圧パルスがゲートに印加される第1のMOS

FET (Metal Oxide Semiconductor Field Effect Transistor) と、当該第1のMOSFETのソースにドレインが接続され、前記第1の電圧パルスがゲートに印加される第2のMOSFETとを備え、前記第1の時刻において、当該第4の電圧パルスが高レベルで印加されると、当該第2のMOSFETのソースに現れる高レベルの電圧パルスを、前記第1の走査開始パルスとして出力するとしてもよい。

【0015】

これによって、スイッチング素子として利用する2つのMOSFET（第1のMOSFETおよび第2のMOSFET）により、第1の走査開始パルスの出力を制御することができ、走査する領域の変更を制御することが可能という効果がある。

<解決手段5>

さらに、解決手段4に記載の内容に加えて、前記シフトレジスタは、単一チャンネルのMOSFETで構成されているとしてもよい。

【0016】

これによって、nチャンネルおよびpチャンネルのいずれかのMOSFETで構成することにより、CMOSで構成した場合と比べて、シフトレジスタを構成するトランジスタの総数を減らすことができる。また、同時に、導通状態になるトランジスタが減ることにより、電力の消費量も減らすことが可能という効果がある。

【0017】

<解決手段6>

さらに、解決手段5に記載の内容に加えて、前記受光部において、第1の列に属する画素部を前記第1の画素部とし、当該第1の列とは異なる第2の列に属する画素部を前記第2の画素部として、前記シフトレジスタは、前記受光部のX軸方向に沿って配置され、前記受光部をX軸方向に走査する水平走査シフトレジスタであるとしてもよい。

【0018】

これによって、X軸方向に走査する領域を変更することが可能という効果があ

る。

＜解決手段 7＞

または、解決手段 1 に記載の内容に加えて、前記パルス発生回路は、電圧レベルが高レベルおよび低レベルのいずれかになる第 1 の電圧パルスおよび第 2 の電圧パルスを発生させて前記シフトレジスタに印加し、前記シフトレジスタは、走査を開始する前の第 1 の時刻において、当該第 1 の電圧パルスが高レベルで、当該第 2 の電圧パルスが低レベルで印加されると、前記第 1 の画素部から走査を開始し、当該第 1 の時刻において、当該第 1 の電圧パルスが低レベルで、当該第 2 の電圧パルスが高レベルで印加されると、前記第 2 の画素部から走査を開始するとしてもよい。

【0019】

これによって、2つの電圧パルス（第 1 の電圧パルスおよび第 2 の電圧パルス）を組み合わせることで、走査を開始する画素部を第 1 の画素部および第 2 の画素部から選択することができ、走査する領域を変更することが可能という効果がある。

＜解決手段 8＞

または、解決手段 5 に記載の内容に加えて、前記受光部において、第 1 の行に属する画素部を前記第 1 の画素部とし、当該第 1 の行とは異なる第 2 の行に属する画素部を前記第 2 の画素部として、前記シフトレジスタは、前記受光部の Y 軸方向に沿って配置され、前記受光部を Y 軸方向に走査する垂直走査シフトレジスタであるとしてもよい。

【0020】

これによって、Y 軸方向に走査する領域を変更することが可能という効果がある。

＜解決手段 9＞

または、解決手段 3 に記載の内容に加えて、前記パルス発生回路は、電圧レベルが高レベルおよび低レベルのいずれかになる第 4 の電圧パルスを発生させて前記シフトレジスタに印加し、前記シフトレジスタは、走査を終了する前の第 3 の時刻において、前記第 1 の電圧パルスおよび当該第 4 の電圧パルスが高レベルで

、前記第 2 の電圧パルスが低レベルで印加されないと、前記受光部における終端の画素部で走査を終了し、印加されると、当該終端の画素部とは異なる第 3 の画素部で走査を終了するとしてもよい。

【 0 0 2 1 】

これによって、3つの電圧パルス（第 1 の電圧パルス、第 2 の電圧パルス、及び第 4 の電圧パルス）を組み合わせることで、走査を終了する画素部を終端の画素部および第 3 の画素部のいずれから選択することができ、走査する領域を変更することが可能という効果がある。

< 解決手段 1 0 >

さらに、解決手段 9 に記載の内容に加えて、前記シフトレジスタは、前記第 3 の画素部を前記受光部から選択することが示される第 3 の選択パルスを入力する第 3 のパルス出力部と、前記第 3 の画素部に隣接する第 4 の画素部を前記受光部から選択することが示される第 4 の選択パルスを入力する第 4 のパルス出力部と、前記第 3 の時刻において、前記第 1 の電圧パルスおよび前記第 4 の電圧パルスが高レベルで印加されると、前記第 3 の画素部で走査を終了することが示される第 1 の走査終了パルスを、当該第 4 のパルス出力部に出力する第 1 の走査終了部とを備え、当該第 3 のパルス出力部は、前記第 3 の時刻において、前記第 1 の電圧パルスが高レベルで印加されると、当該第 3 の選択パルスを入力し、当該第 4 のパルス出力部は、前記第 3 の時刻において、当該第 1 の走査終了パルスが印加されずに、前記第 3 の時刻に続く第 4 の時刻において、前記第 2 の電圧パルスが高レベルで印加されると、当該第 4 の選択パルスを入力し、前記第 3 の時刻において、当該第 1 の走査終了パルスが印加されると、当該第 4 の時刻において、前記第 2 の電圧パルスが高レベルで印加されても、当該第 4 の選択パルスを入力しないとしてもよい。

【 0 0 2 2 】

これによって、第 3 の時刻において、第 3 のパルス出力部から第 3 の選択パルスが入力するとともに、第 4 のパルス出力部に第 1 の走査終了パルスが印加されると、第 3 の画素部で走査を終了し、第 1 の走査終了パルスが印加されないと、終端の画素部まで走査することが可能という効果がある。

＜解決手段 11＞

さらに、解決手段 10 に記載の内容に加えて、前記パルス発生回路は、電圧レベルが高レベルおよび低レベルのいずれかになる第 5 の電圧パルスを発生させて前記シフトレジスタに印加し、前記第 2 の走査開始部は、当該第 5 の電圧パルスがドレインに印加され、前記第 3 の電圧パルスがゲートに印加される第 1 の MOSFET (Metal Oxide Semiconductor Field Effect Transistor) と、当該第 1 の MOSFET のソースにドレインが接続され、前記第 2 の電圧パルスがゲートに印加される第 2 の MOSFET とを備え、前記第 1 の時刻において、当該第 5 の電圧パルスが高レベルで印加されると、当該第 2 の MOSFET のソースに現れる高レベルの電圧パルスを、前記第 2 の走査開始パルスとして出力し、前記第 1 の走査終了部は、当該第 5 の電圧パルスがドレインに印加され、前記第 4 の電圧パルスがゲートに印加される第 3 の MOSFET と、当該第 3 の MOSFET のソースにドレインが接続され、前記第 1 の電圧パルスがゲートに印加される第 4 の MOSFET とを備え、前記第 3 の時刻において、当該第 5 の電圧パルスが低レベルで印加されると、当該第 4 の MOSFET のソースに現れる低レベルの電圧パルスを、前記第 1 の走査終了パルスとして出力するとしてもよい。

【0023】

これによって、スイッチング素子として利用する 2 つの MOSFET (第 1 の MOSFET および第 2 の MOSFET) により、第 2 の走査開始パルスの出力を制御することができる。また、スイッチング素子として利用する 2 つの MOSFET (第 3 の MOSFET および第 4 の MOSFET) により、第 1 の走査終了パルスの出力を制御することができる。さらに、第 5 の電圧パルスの電圧レベル (高レベルおよび低レベル) により、走査の開始および終了を制御することができ、走査する領域を変更することが可能という効果がある。

【0024】

＜解決手段 12＞

前述の課題を解決するにあたり、本発明に係わる X-Y アドレス型固体撮像素子は、光電変換および電荷蓄積が行われる画素部を X-Y のマトリックス状に配列した受光部を有して、当該受光部を X 軸方向および Y 軸方向に走査して蓄積電

荷を読み出すX-Yアドレス型固体撮像素子であって、電圧パルスが発生させるパルス発生回路から並列に印加される電圧パルスの組み合わせが第1の組み合わせ以外であると、当該受光部における終端の画素部で走査を終了し、当該第1の組み合わせであると当該終端の画素部とは異なる第1の画素部で走査を終了する並列入力のシフトレジスタを備えるとする。

【0025】

これによって、電圧パルスの組み合わせに応じて、走査を終了する画素部を変更することができる。例えば、受光部における右端の画素部を終端の画素部とし、右端からM番目の画素部を第1の画素部として、左から右に受光部を走査する際に、第1の画素部で走査を終了すると、終端の画素部で走査を終了する場合と比べて、右端からM-1番目までの画素部を走査しない分、走査する時間を短縮することが可能という効果がある。

【0026】

<解決手段13>

さらに、解決手段12に記載の内容に加えて、前記パルス発生回路は、電圧レベルが高レベルおよび低レベルのいずれかになる第1の電圧パルス、第2の電圧パルス、及び第3の電圧パルスが発生させて前記シフトレジスタに印加し、前記シフトレジスタは、走査を終了する前の第1の時刻において、前記第1の電圧パルスおよび当該第3の電圧パルスが高レベルで、前記第2の電圧パルスが低レベルで印加されないと、前記終端の画素部で走査を終了し、印加されると、前記第1の画素部で走査を終了するとしてもよい。

【0027】

これによって、3つの電圧パルス（第1の電圧パルス、第2の電圧パルス、及び第3の電圧パルス）を組み合わせることで、走査を終了する画素部を終端の画素部および第1の画素部のいずれから選択することができ、走査する領域を変更することが可能という効果がある。

<解決手段14>

さらに、解決手段13に記載の内容に加えて、前記シフトレジスタは、前記第1の画素部を前記受光部から選択することが示される第1の選択パルスを出力す

る第1のパルス出力部と、前記第1の画素部に隣接する第2の画素部を前記受光部から選択することが示される第2の選択パルスを入力する第2のパルス出力部と、前記第1の時刻において、前記第1の電圧パルスおよび前記第3の電圧パルスが高レベルで印加されると、前記第1の画素部で走査を終了することが示される第1の走査終了パルスを、当該第2のパルス出力部に出力する第1の走査終了部とを備え、当該第1のパルス出力部は、前記第1の時刻において、前記第1の電圧パルスが高レベルで印加されると、当該第1の選択パルスを入力し、当該第2のパルス出力部は、前記第1の時刻において、当該第1の走査終了パルスが印加されずに、前記第1の時刻に続く第2の時刻において、前記第2の電圧パルスが高レベルで印加されると、当該第2の選択パルスを入力し、前記第1の時刻において、当該第1の走査終了パルスが印加されると、当該第2の時刻において、前記第2の電圧パルスが高レベルで印加されても、当該第2の選択パルスを入力しないとしてもよい。

【0028】

これによって、第1の走査終了部に第1の組み合わせ（第1の電圧パルスおよび第3の電圧パルスが高レベル）で印加されると、第1の画素部で走査を終了し、第1の走査終了部に第1の組み合わせ以外で印加されると、終端の画素部まで走査することが可能という効果がある。

<解決手段15>

さらに、解決手段14に記載の内容に加えて、前記パルス発生回路は、電圧レベルが高レベルおよび低レベルのいずれかになる第4の電圧パルスを発生させて前記シフトレジスタに印加し、前記第1の走査終了部は、当該第4の電圧パルスがドレインに印加され、前記第3の電圧パルスがゲートに印加される第1のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) と、当該第1のMOSFETのソースにドレインが接続され、前記第1の電圧パルスがゲートに印加される第2のMOSFETとを備え、前記第1の時刻において、当該第4の電圧パルスが低レベルで印加されると、当該第2のMOSFETのソースに現れる低レベルの電圧パルスを、前記第1の走査終了パルスとして出力するとしてもよい。

【0029】

これによって、スイッチング素子として利用する2つのMOSFET（第1のMOSFETおよび第2のMOSFET）により、第1の走査終了パルスの出力を制御することができ、走査する領域の変更を制御することが可能という効果がある。

【0030】**【発明の実施の形態】****<実施の形態1>**

以下、本発明の実施の形態1について、図面を参照しながら説明する。

<固体撮像素子100の構成>

図1は、実施の形態1における固体撮像素子の構成を示す機能ブロック図である。

【0031】

同図にみられるように、固体撮像素子100は、半導体基板上に形成された受光部101、切替部102、水平走査シフトレジスタ103、垂直走査シフトレジスタ104、パルス発生回路105、及び増幅部106から構成される。

さらに、水平走査シフトレジスタ103と切替部102とは、水平方向（図中のX軸方向）に並んでいる複数の配線（以下、水平選択線群と呼称する）107を介して接続されている。垂直走査シフトレジスタ104と受光部101とは、垂直方向（図中のY軸方向）に並んでいる複数の配線（以下、垂直選択線群と呼称する）108を介して接続されている。切替部102と受光部101とは、垂直方向に延びている複数の配線（以下、垂直信号線群と呼称する）109を介して接続されている。切替部102と増幅部106とは、水平方向に延びている配線（以下、水平信号線と呼称する）110を介して接続されている。

【0032】

受光部101は、マトリクス状に配列された複数の画素部から構成される。

以下、一例として、受光部101は、一行（水平方向）25個の画素部が、垂直方向に沿って19行配置されているとする。これに伴い、水平選択線の本数を25本、垂直選択線の本数を19本、垂直信号線の本数を25本、水平信号線の

本数を 1 本とする。

【0033】

なお、水平選択線、垂直選択線、垂直信号線、及び画素部など、複数の中から一つを明示する際には、受光部 101 の水平方向に割り振られている A-Y の目盛り、及び垂直方向に割り振られている a-s の目盛りを用いて表記する。例えば、X 列の h 行に配置された画素部は、画素部 101 X h と表記する。

なお、画素部 101 X h は、入射光を光電変換するフォトダイオード PD 11 X h、ゲートが垂直選択線 108 h に接続されている切り替え用 MOS (Metal Oxide Semiconductor Structure) トランジスタ (以下、垂直 MOS トランジスタと呼称する) Tr 11 X h、及び増幅回路を構成する複数の増幅用 MOS トランジスタ Tr 12 X h, Tr 13 X h, Tr 14 X h から構成される。そして、フォトダイオード PD 11 X h から読み出された信号が増幅回路で増幅されて、MOS トランジスタ Tr 13 X h のソースに接続されている垂直信号線 109 X を介して、増幅された信号が切替部 102 に出力される。

【0034】

切替部 102 は、垂直信号線群 109 を介して受光部 101 から読み出された信号電荷を、水平信号線 110 を介して増幅部 106 に出力する。

パルス発生回路 105 は、固体撮像素子 100 の外部に設けられる制御部 (図外) で制御され、電圧レベルが高レベルおよび低レベルのいずれかになる電圧パルスを、水平走査シフトレジスタ 103、及び垂直走査シフトレジスタ 104 に印加する。

【0035】

なお、制御部 (図外) は、ハードウェア記述言語 (Hardware Description Language) で記述されたプログラム (固体撮像素子 100 を制御する回路プログラム) から論理合成、及び配置配線された回路データによって、FPGA (Field Programmable Gate Array) / CPLD (Complex Programmable Logic Device) などのプログラマブルロジックデバイスに形成されている。

【0036】

増幅部 106 は、水平信号線 110 を介して切替部 102 から出力される信号

電荷を増幅して、後に画像データになる映像信号として出力端子 111 に出力する。

水平走査シフトレジスタ 103 は、並列入力・並列出力のシフトレジスタであり、受光部 101 の水平方向に対して選択的に走査する電圧パルス（以下、水平選択パルスと略称する）を出力する。

【0037】

垂直走査シフトレジスタ 104 は、並列入力・並列出力のシフトレジスタであり、受光部 101 の垂直方向に対して選択的に走査する電圧パルス（以下、垂直選択パルスと略称する）を出力する。

そして、例えば、水平走査シフトレジスタ 103 および垂直走査シフトレジスタ 104 に、パルス発生回路 105 から電圧パルスが印加されて、L 列の水平選択線 107 L に水平選択パルス、及び i 行の垂直選択線 108 i に垂直選択パルスが出力されると、L 列の i 行に配置された画素部 101 Li（図中の黒丸で示される画素部）に蓄積されている信号電荷が読み出される。

【0038】

＜水平走査シフトレジスタ 103 の構成＞

図 2-4 は、実施の形態 1 における水平走査シフトレジスタの構成を示す機能ブロック図である。

図 2-4 にみられるように、水平走査シフトレジスタ 103 は、パルス出力部 103A-103Y、走査開始部 131、走査開始／終了部 132-135、及び走査終了部 136 から構成されている。さらに、端子 VDD、H1、H2 を有し、パルス発生回路 105 から、端子 VDD を介して電源電圧が印加され、端子 H1、H2 に対して個別に電圧パルスが印加される。そして、走査開始部 131 が配置されている側から走査終了部 136 が配置されている側に、順にパルス出力部を移動しながら水平選択パルスを切替部 102 に出力する。

【0039】

以下、端子 H1 を介して水平走査シフトレジスタ 103 に印加される電圧パルスを第 1 水平シフトパルスと呼称し、端子 H2 を介して水平走査シフトレジスタ 103 に印加される電圧パルスを第 2 水平シフトパルスと呼称して区別する。ま

た、第1水平シフトパルス（第2水平シフトパルス）が高レベルで印加される際には、第2水平シフトパルス（第1水平シフトパルス）が低レベルで印加されるとする。

【0040】

切替部102は、水平方向に配置されている切り替え用MOSトランジスタ（以下、水平MOSトランジスタと呼称する）Tr15A-Tr15Yから構成される。さらに、水平MOSトランジスタTr15A（以下、Tr15Aと略称する）のドレインが垂直信号線109Aに接続され、Tr15Aのゲートが水平選択線107Aに接続され、Tr15Aのソースが水平信号線110に接続されている。なお、水平MOSトランジスタTr15B-Tr15Y（以下、Tr15B-Tr15Yとそれぞれ略称する）に対しても同様である。

【0041】

パルス出力部103Aは、ブートストラップ用のキャパシタ（図5に示される）、及び切り替え用の複数のMOSトランジスタ（図5に示される）から構成される。さらに、水平選択線107Aを介して、切替部102を構成するTr15A-Tr15Yのなかから1対1に対応付けられているTr15Aのゲートに接続されている。また、パルス発生回路105から端子VDDを介して印加される電源電圧により、ブートストラップ用のキャパシタが充電される。さらに、パルス発生回路105から端子H1を介して第1水平シフトパルスが印加され、キャパシタが充電されていると、水平選択パルスを出力する。これに伴い、パルス出力部103Aから出力された水平選択パルスが、水平選択線107Aを介してTr15Aのゲートに印加される。

【0042】

以下、パルス出力部103B-103Yに対しても同様である。ただし、走査開始部131、走査開始／終了部132-135、及び走査終了部136を除いて、パルス出力部103Aから数えて奇数段目に配置されたパルス出力部に対しては、パルス発生回路105から端子H1を介して第1水平シフトパルスが印加され、偶数段目に配置されたパルス出力部に対しては、パルス発生回路105から端子H2を介して第2水平シフトパルスが印加される。なお、詳細な説明につ

いては、図 5 - 8 の参照とともに後述する。

【 0 0 4 3 】

さらに、水平走査シフトレジスタ 1 0 3 は、端子 S A, S E, S I, E Q, E U, E Y を有し、それぞれの端子に対して個別に、パルス発生回路 1 0 5 から電圧パルスが印加される。

なお、端子 S A は、走査開始部 1 3 1 に接続され、端子 S E は、走査開始／終了部 1 3 2 に接続され、端子 S I は、走査開始／終了部 1 3 3 に接続されている。端子 E Q は、走査開始／終了部 1 3 4 に接続され、端子 E U は、走査開始／終了部 1 3 5 に接続され、端子 E Y は、走査終了部 1 3 6 に接続されている。

【 0 0 4 4 】

走査開始部 1 3 1 は、端子 S A を介して電圧パルスが高レベルで印加されると、高レベルの電圧パルスをパルス出力部 1 0 3 A に出力して、パルス出力部 1 0 3 A に含まれるブートストラップ用のキャパシタを充電させる。以下、走査開始／終了部 1 3 2, 1 3 3 についても同様に、一段後のパルス出力部 1 0 3 E, 1 0 3 I に含まれるブートストラップ用のキャパシタを充電させる。

【 0 0 4 5 】

走査終了部 1 3 6 は、端子 E Y を介して電圧パルスが高レベルで印加されると、高レベルの電圧パルスをパルス出力部 1 0 3 Y に出力して、パルス出力部 1 0 3 Y に含まれるブートストラップ用のキャパシタを放電させる。以下、走査開始／終了部 1 3 4, 1 3 5 についても同様に、一段前のパルス出力部 1 0 3 Q, 1 0 3 U に含まれるブートストラップ用のキャパシタを放電させる。

【 0 0 4 6 】

そして、水平走査シフトレジスタ 1 0 3 は、電圧パルスが高レベルで印加される端子に応じて、水平選択パルスを出力し始めるパルス出力部が異なる。

例えば、端子 S A を介して走査開始部 1 3 1 に電圧パルスが高レベルで印加されると、パルス出力部 1 0 3 A から水平選択パルスが出力される。同様に、端子 S E を介して走査開始／終了部 1 3 2 に電圧パルスが高レベルで印加されると、パルス出力部 1 0 3 E から水平選択パルスが出力される。また、端子 S I を介して走査開始／終了部 1 3 3 に電圧パルスが高レベルで印加されると、パルス出力

部 1 0 3 I から水平選択パルスが出力される。さらに、水平選択パルスがパルス出力部 1 0 3 A, 1 0 3 E, 1 0 3 I のいずれかから出力されると、走査開始部 1 3 1 が配置されている側から走査終了部 1 3 6 が配置されている側に、水平選択パルスを出力するパルス出力部が順に移る。

【 0 0 4 7 】

さらに、パルス出力部 1 0 3 Q から水平選択パルスが出力される際に、第 1 水平シフトパルスが高レベルで印加され、端子 E Q を介して走査開始／終了部 1 3 4 に電圧パルスが高レベルで印加されると、パルス出力部 1 0 3 Q まで水平選択パルスが出力されて、パルス出力部 1 0 3 R 以降から出力されなくなる。同様に、パルス出力部 1 0 3 U から水平選択パルスが出力される際に、第 1 水平シフトパルスが高レベルで印加され、端子 E U を介して走査開始／終了部 1 3 5 に電圧パルスが高レベルで印加されると、パルス出力部 1 0 3 U まで水平選択パルスが出力されて、パルス出力部 1 0 3 V 以降から出力されなくなる。また、これらの場合以外では、パルス出力部 1 0 3 Y まで水平選択パルスが出力される。

【 0 0 4 8 】

なお、水平選択パルスを出力するパルス出力部が順に移っている間は、端子 S A, S E, S I に電圧パルスが高レベルで印加されないとする。

以上、水平走査シフトレジスタ 1 0 3 は、電圧パルスが高レベルで印加される端子に応じて、図 1 に示される A 列、E 列、I 列のいずれかの画素部から、Q 列、U 列、Y 列のいずれかの画素部まで水平方向に受光部 1 0 1 を走査する。

【 0 0 4 9 】

そして、受光部 1 0 1 を走査する際には、パルス出力部 1 0 3 A - 1 0 3 Y のそれぞれは、遮断状態、充電状態、出力状態、放電状態の順に状態を遷移する。

ここで、遮断状態とは、二段前のパルス出力部から電圧パルスが高レベルで印加されて、ブートストラップ用のキャパシタに印加される電源電圧が遮断される状態を指す。

【 0 0 5 0 】

ここで、充電状態とは、一段前のパルス出力部から電圧パルスが高レベルで印加されて、パルス発生回路 1 0 5 から印加される電源電圧でブートストラップ用

のキャパシタが充電される状態を指す。

ここで、出力状態とは、ブートストラップ用のキャパシタが充電されている状態で、パルス出力部 103A から数えて奇数段目のパルス出力部に対しては、パルス発生回路 105 から第 1 水平シフトパルスが高レベルで印加され、偶数段目のパルス出力部に対しては、パルス発生回路 105 から第 2 水平シフトパルスが高レベルで印加されて、水平選択パルスが出力される状態を指す。

【0051】

ここで、放電状態とは、一段後のパルス出力部から電圧パルスが高レベルで印加されて、ブートストラップ用のキャパシタに充電されている電荷が放電される状態を指す。

＜水平走査シフトレジスタ 103 の回路構成＞

以上のように構成される水平走査シフトレジスタ 103 について、その回路構成について説明する。

【0052】

図 5-8 は、一例として、実施の形態 1 における水平走査シフトレジスタの構成を示す回路図である。

図 5 にみられるように、走査開始部 131、パルス出力部 103A-103C の回路構成が示されている。

＜走査開始部 131＞

走査開始部 131 は、MOS トランジスタ T_{r11} - T_{r12} 、抵抗 R_{11} 、及びこれらの素子を接続する配線から構成されている。

【0053】

MOS トランジスタ T_{r11} （以下、 T_{r11} と略称する）は、端子 H2 を介して T_{r11} のドレインに第 2 水平シフトパルスが印加される。そして、端子 SA を介して T_{r11} のゲートに電圧パルスが高レベルで印加されると、導通状態になり、第 2 水平シフトパルスの電圧レベルに応じた電圧パルスが T_{r11} のソースに現れる。

【0054】

MOS トランジスタ T_{r12} （以下、 T_{r12} と略称する）は、端子 VDD を

介して T_{r12} のドレインに電源電圧が印加される。そして、端子 S_A を介して T_{r12} のゲートに電圧パルスが高レベルで印加されると、導通状態になり、 T_{r12} のソースに高レベルの電圧パルスが現れる。

抵抗 R_{11} (以下、 R_{11} と略称する) は、 T_{r12} のソースに現れる高レベルの電圧パルスを降下させる。

【0055】

なお、第2水平シフトパルスが高レベルで印加され、端子 S_A を介して電圧パルスが高レベルで印加されると、 T_{r12} のソースに現れる高レベルの電圧パルスが、 R_{11} で電圧降下されて、電圧降下された高レベルの電圧パルスが、走査開始部 131 からパルス出力部 103A に出力される。これに伴い、パルス出力部 103A の接続点 J_{2A} 、 J_{3A} のそれぞれにおける電圧レベルが高レベルになる。さらに、出力された高レベルの電圧パルスが、パルス出力部 103A を構成する MOS トランジスタ T_{r3A} のゲートに印加されて、MOS トランジスタ T_{r3A} が導通状態になる。

【0056】

また、 T_{r11} のソースに現れる高レベルの電圧パルスが、パルス出力部 103B を構成する MOS トランジスタ T_{r2B} のゲートに印加されて、MOS トランジスタ T_{r2B} が導通状態になる。そして、MOS トランジスタ T_{r1B} が導通状態または非導通状態に係わらず、接続点 J_{1B} 、 J_{2B} 、 J_{3B} のそれぞれにおける電圧レベルが低レベルになり、MOS トランジスタ T_{r3B} が非導通状態になる (シフト開始)。

【0057】

<パルス出力部 103A>

パルス出力部 103A は、MOS トランジスタ T_{r3A} - T_{r5A} 、抵抗 R_{1A} 、キャパシタ C_{1A} 、及びこれらの素子を接続する配線から構成されている。

MOS トランジスタ T_{r3A} (以下、 T_{r3A} と略称する) は、端子 H_1 を介して T_{r3A} のドレインに第1水平シフトパルスが印加される。そして、 R_{1A} で電圧降下された高レベルの電圧パルス、及びキャパシタ C_{1A} に充電されている電荷によって生じる電圧のいずれかが T_{r3A} のゲートに印加されると、導通

状態になり、第1水平シフトパルスの電圧レベルに応じた電圧パルスがTr 3 Aのソースに現れる。

【0058】

MOSトランジスタTr 4 A, Tr 5 A（以下、Tr 4 A, Tr 5 Aとそれぞれ略称する）は、それぞれのソースが接地されている。そして、パルス出力部103 Bからそれぞれのゲートに電圧パルスが高レベルで印加されると、それぞれが導通状態になり、接続点J 3 A, J 4 Aのそれぞれにおける電圧レベルを低レベルにする。

【0059】

キャパシタC 1 A（以下、C 1 Aと略称する）は、ブートストラップ用のキャパシタであり、接続点J 3 A, J 4 Aにおける電圧レベルに応じて充電または放電される。

例えば、Tr 4 A, Tr 5 Aが非導通状態で、Tr 1 A, Tr 3 Aが導通状態で、第1水平シフトパルスが低レベルで印加されると、接続点J 3 Aにおける電圧レベルが高レベルになり、接続点J 4 Aにおける電圧レベルが低レベルになり、C 1 Aの両端に電位差が生じて充電される（充電状態）。また、Tr 4 A, Tr 5 Aが導通状態であると、接続点J 3 A, J 4 Aにおける電圧レベルが低レベルになり、C 1 Aの両端が接地されて放電される（放電状態）。

【0060】

なお、C 1 Aが充電された状態で、Tr 4 A, Tr 5 Aが非導通状態で、Tr 3 Aが導通状態で、第1水平シフトパルスが高レベルで印加されると、Tr 3 Aのソースに現れる高レベルの電圧パルスに、C 1 Aで充電されている電荷によって生じる電圧を上乗せした電圧パルスが、Tr 3 Aのゲート、及びパルス出力部103 Bを構成するMOSトランジスタTr 1 Bのゲートに印加される。また、Tr 3 Aのソースに現れる高レベルの電圧パルスが、水平選択パルスとして、パルス出力部103 Aから出力され、出力された高レベルの電圧パルスが、パルス出力部103 Cを構成するMOSトランジスタTr 2 Cのゲートに印加される（出力状態）。

【0061】

＜パルス出力部 103B＞

パルス出力部 103B は、MOS トランジスタ T_{r1B} - T_{r5B} 、抵抗 $R1B$ 、キャパシタ $C1B$ 、及びこれらの素子を接続する配線から構成されている。

MOS トランジスタ T_{r1B} （以下、 T_{r1B} と略称する）は、端子 VDD を介して T_{r1B} のドレインに電源電圧が印加される。そして、パルス出力部 103A から T_{r1B} のゲートに電圧パルスが高レベルで印加されると、導通状態になり、 T_{r1B} のソースに高レベルの電圧パルスが現れる。

【0062】

抵抗 $R1B$ （以下、 $R1B$ と略称する）は、 T_{r1B} のソースに現れる高レベルの電圧パルスを降下させる。

MOS トランジスタ T_{r2B} （以下、 T_{r2B} の略称する）は、 T_{r2B} のソースが接地されている。そして、走査開始部 131 から T_{r2B} のゲートに電圧パルスが高レベルで印加されると、導通状態になり、接続点 $J1B$ における電圧レベルを低レベルにする。

【0063】

MOS トランジスタ T_{r3B} （以下、 T_{r3B} と略称する）は、端子 $H2$ を介して T_{r3B} のドレインに第 2 水平シフトパルスが印加される。そして、 $R1B$ で電圧降下された高レベルの電圧パルス、及びキャパシタ $C1B$ に充電されている電荷によって生じる電圧のいずれかが T_{r3B} のゲートに印加されると、導通状態になり、第 2 水平シフトパルスの電圧レベルに応じた電圧パルスが T_{r3B} のソースに現れる。

【0064】

MOS トランジスタ T_{r4B} 、 T_{r5B} （以下、 T_{r4B} 、 T_{r5B} とそれぞれ略称する）は、それぞれのソースが接地されている。そして、パルス出力部 103C からそれぞれのゲートに電圧パルスが高レベルで印加されると、それぞれが導通状態になり、接続点 $J3B$ 、 $J4B$ のそれぞれにおける電圧レベルを低レベルにする。

【0065】

キャパシタ $C1B$ （以下、 $C1B$ と略称する）は、ブートストラップ用のキャ

パシタであり、接続点 J 3 B, J 4 B における電圧レベルに応じて充電または放電される。

例えば、T r 2 B, T r 4 B, T r 5 B が非導通状態で、T r 1 B, T r 3 B が導通状態で、第 2 水平シフトパルスが低レベルで印加されると、接続点 J 3 B における電圧レベルが高レベルになり、接続点 J 4 B における電圧レベルが低レベルになり、C 1 B の両端に電位差が生じて充電される（充電状態）。また、T r 4 B, T r 5 B が導通状態であると、接続点 J 3 B, J 4 B における電圧レベルが低レベルになり、C 1 B の両端が接地されて放電される（放電状態）。

【0066】

なお、C 1 B が充電された状態で、T r 2 B, T r 4 B, T r 5 B が非導通状態で、T r 3 B が導通状態で、第 2 水平シフトパルスが高レベルで印加されると、T r 3 B のソースに現れる高レベルの電圧パルスに、C 1 B で充電されている電荷によって生じる電圧を上乗せした電圧パルスが、T r 3 B のゲート、及びパルス出力部 103 C を構成する MOS トランジスタ T r 1 C のゲートに印加される。また、T r 3 B のソースに現れる高レベルの電圧パルスが、水平選択パルスとして、パルス出力部 103 B から出力され、出力された高レベルの電圧パルスが、T r 4 A, T r 5 A のそれぞれのゲート、及びパルス出力部 103 D を構成する MOS トランジスタ T r 2 D のゲートに印加される（出力状態）。

【0067】

なお、T r 2 B が導通状態であると、T r 1 B が導通状態または非導通状態に係わらず、接続点 J 1 B, J 2 B, J 3 B における電圧レベルが低レベルになり、T r 3 B が非導通状態になる（遮断状態）。

＜パルス出力部 103 C＞

パルス出力部 103 C は、MOS トランジスタ T r 1 C - T r 5 C、抵抗 R 1 C、キャパシタ C 1 C、及びこれらの素子を接続する配線から構成されている。

【0068】

MOS トランジスタ T r 1 C（以下、T r 1 C と略称する）は、端子 V D D を介して T r 1 C のドレインに電源電圧が印加される。そして、パルス出力部 103 B から T r 1 C のゲートに電圧パルスが高レベルで印加されると、導通状態に

なり、Tr 1 C のソースに高レベルの電圧パルスが現れる。

抵抗 R 1 C (以下、R 1 C と略称する) は、Tr 1 C のソースに現れる高レベルの電圧パルスを降下させる。

【0069】

MOS トランジスタ Tr 2 C (以下、Tr 2 C の略称する) は、Tr 2 C のソースが接地されている。そして、パルス出力部 103 A から Tr 2 C のゲートに電圧パルスが高レベルで印加されると、導通状態になり、接続点 J 1 C における電圧レベルを低レベルにする。

MOS トランジスタ Tr 3 C (以下、Tr 3 C と略称する) は、端子 H 1 を介して Tr 3 C のドレインに第 1 水平シフトパルスが印加される。そして、R 1 C で電圧降下された高レベルの電圧パルス、及びキャパシタ C 1 C に充電されている電荷によって生じる電圧のいずれかが Tr 3 C のゲートに印加されると、導通状態になり、第 1 水平シフトパルスの電圧レベルに応じた電圧パルスが Tr 3 C のソースに現れる。

【0070】

MOS トランジスタ Tr 4 C, Tr 5 C (以下、Tr 4 C, Tr 5 C とそれぞれ略称する) は、それぞれのソースが接地されている。そして、パルス出力部 103 C からそれぞれのゲートに電圧パルスが高レベルで印加されると、それぞれが導通状態になり、接続点 J 3 C, J 4 C のそれぞれにおける電圧レベルを低レベルにする。

【0071】

キャパシタ C 1 C (以下、C 1 C と略称する) は、ブートストラップ用のキャパシタであり、接続点 J 3 C, J 4 C における電圧レベルに応じて充電または放電される。

例えば、Tr 2 C, Tr 4 C, Tr 5 C が非導通状態で、Tr 1 C, Tr 3 C が導通状態で、第 1 水平シフトパルスが低レベルで印加されると、接続点 J 3 C における電圧レベルが高レベルになり、接続点 J 4 C における電圧レベルが低レベルになり、C 1 C の両端に電位差が生じて充電される (充電状態)。また、Tr 4 C, Tr 5 C が導通状態であると、接続点 J 3 C, J 4 C における電圧レベ

ルが低レベルになり、C1Cの両端が接地されて放電される（放電状態）。

【0072】

なお、C1Cが充電された状態で、Tr2C、Tr4C、Tr5Cが非導通状態で、Tr3Cが導通状態で、第1水平シフトパルスが高レベルで印加されると、Tr3Cのソースに現れる高レベルの電圧パルスに、C1Cで充電されている電荷によって生じる電圧を上乗せした電圧パルスが、Tr3Cのゲート、及びパルス出力部103Dを構成するMOSトランジスタTr1Dのゲートに印加される。また、Tr3Cのソースに現れる高レベルの電圧パルスが、水平選択パルスとして、パルス出力部103Cから出力され、出力された高レベルの電圧パルスが、Tr4B、Tr5Bのそれぞれのゲート、及びパルス出力部103E（図6に示される）を構成するMOSトランジスタTr2E（図6に示される）のゲートに印加される（出力状態）。

【0073】

なお、Tr2Cが導通状態であると、Tr1Cが導通状態または非導通状態に係わらず、接続点J1C、J2C、J3Cにおける電圧レベルが低レベルになり、Tr3Cが非導通状態になる（遮断状態）。

図6にみられるように、走査開始／終了部132、パルス出力部103D-103Fの回路構成が示されている。

【0074】

<パルス出力部103D>

パルス出力部103Dは、MOSトランジスタTr1D-Tr6D、抵抗R1D、キャパシタC1D、及びこれらの素子を接続する配線から構成されている。

MOSトランジスタTr1D（以下、Tr1Dと略称する）は、端子VDDを介してTr1Dのドレインに電源電圧が印加される。そして、パルス出力部103CからTr1Dのゲートに電圧パルスが高レベルで印加されると、導通状態になり、Tr1Dのソースに高レベルの電圧パルスが現れる。

【0075】

抵抗R1D（以下、R1Dと略称する）は、Tr1Dのソースに現れる高レベルの電圧パルスを降下させる。

MOSトランジスタTr2D（以下、Tr2Dの略称する）は、Tr2Dのソースが接地されている。そして、パルス出力部103BからTr2Dのゲートに電圧パルスが高レベルで印加されると、導通状態になり、接続点J1Dにおける電圧レベルを低レベルにする。

【0076】

MOSトランジスタTr3D, Tr6D（以下、Tr3D, Tr6Dとそれぞれ略称する）は、端子H2を介してそれぞれのドレインに第2水平シフトパルスが印加される。そして、R1Dで電圧降下された高レベルの電圧パルス、及びキャパシタC1Dに充電されている電荷によって生じる電圧のいずれかがそれぞれのゲートに印加されると、それぞれが導通状態になり、第2水平シフトパルスの電圧レベルに応じた電圧パルスがそれぞれのソースに現れる。

【0077】

MOSトランジスタTr4D, Tr5D（以下、Tr4D, Tr5Dとそれぞれ略称する）は、それぞれのソースが接地されている。そして、パルス出力部103Eからそれぞれのゲートに電圧パルスが高レベルで印加されると、それぞれが導通状態になり、接続点J3D, J4Dのそれぞれにおける電圧レベルを低レベルにする。

【0078】

キャパシタC1D（以下、C1Dと略称する）は、ブートストラップ用のキャパシタであり、接続点J3D, J4Dにおける電圧レベルに応じて充電または放電される。

例えば、Tr2D, Tr4D, Tr5Dが非導通状態で、Tr1D, Tr3D, Tr6Dが導通状態で、第2水平シフトパルスが低レベルで印加されると、接続点J3Dにおける電圧レベルが高レベルになり、接続点J4Dにおける電圧レベルが低レベルになり、C1Dの両端に電位差が生じて充電される（充電状態）。また、Tr4D, Tr5Dが導通状態であると、接続点J3D, J4Dにおける電圧レベルが低レベルになり、C1Dの両端が接地されて放電される（放電状態）。

【0079】

なお、C1Dが充電された状態で、Tr2D, Tr4D, Tr5Dが非導通状態で、Tr3D, Tr6Dが導通状態で、第2水平シフトパルスが高レベルで印加されると、Tr3Dのソースに現れる高レベルの電圧パルスに、C1Dで充電されている電荷によって生じる電圧を上乗せした電圧パルスが、Tr3D, Tr6Dのそれぞれのゲート、及びパルス出力部103Eを構成するMOSトランジスタTr1Eのゲートに印加される。また、Tr3Dのソースに現れる高レベルの電圧パルスが水平選択パルスとして、パルス出力部103Dから出力される。さらに、Tr6Dのソースに現れる高レベルの電圧パルスが、Tr4C, Tr5Cのそれぞれのゲート、及びパルス出力部103Fを構成するMOSトランジスタTr2Fのゲートに印加される（出力状態）。

【0080】

なお、Tr2Dが導通状態であると、Tr1Dが導通状態または非導通状態に係わらず、接続点J1D, J2D, J3D, J5Dにおける電圧レベルが低レベルになり、Tr3D, Tr6Dが非導通状態になる（遮断状態）。

<走査開始／終了部132>

走査開始／終了部132は、MOSトランジスタTr21-Tr24、抵抗R21、及びこれらの素子を接続する配線から構成されている。

【0081】

MOSトランジスタTr21（以下、Tr21と略称する）は、端子H2を介してTr21のドレインに第2水平シフトパルスが印加される。そして、端子SEを介してTr21のゲートに電圧パルスが高レベルで印加されると、導通状態になり、第2水平シフトパルスの電圧レベルに応じた電圧パルスがTr21のソースに現れる。

【0082】

MOSトランジスタTr22（以下、Tr22と略称する）は、端子VDDを介してTr22のドレインに電源電圧が印加される。そして、端子SEを介してTr22のゲートに電圧パルスが高レベルで印加されると、導通状態になり、Tr22のソースに高レベルの電圧パルスが現れる。

抵抗R21は、MOSトランジスタTr22のソースに現れる高レベルの電圧

パルスを降下させる。

【0083】

なお、第2水平シフトパルスが高レベルで印加され、端子SEを介して電圧パルスが高レベルで印加されると、Tr22のソースに現れる高レベルの電圧パルスが、R21で電圧降下されて、電圧降下された高レベルの電圧パルスが、接続点J23を介して走査開始／終了部132からパルス出力部103Eに出力される。これに伴い、パルス出力部103Eの接続点J1E、J2E、J3E、J5Eのそれぞれにおける電圧レベルが高レベルになる。さらに、出力された高レベルの電圧パルスがMOSトランジスタTr3E、Tr6Eのそれぞれのゲートに印加されて、MOSトランジスタTr3E、Tr6Eのそれぞれが導通状態になる。

【0084】

また、Tr21のソースに現れる高レベルの電圧パルスが、パルス出力部103Fを構成するMOSトランジスタTr2Fのゲートに印加されて、MOSトランジスタTr2Fが導通状態になる。そして、MOSトランジスタTr1Fが導通状態または非導通状態に係わらず、接続点J1F、J2F、J3Fのそれぞれにおける電圧レベルが低レベルになり、MOSトランジスタTr3Fが非導通状態になる（シフト開始）。

【0085】

MOSトランジスタTr23（以下、Tr23と略称する）は、端子H1を介してTr23のドレインに第1水平シフトパルスが印加される。そして、自由端子を介してTr23のゲートに電圧パルスが高レベルで印加されると、導通状態になり、第1水平シフトパルスの電圧レベルに応じた電圧パルスがTr23のソースに現れる。

【0086】

MOSトランジスタTr24（以下、Tr24と略称する）は、Tr24のソースが接地されている。そして、自由端子を介してTr24のゲートに電圧パルスが高レベルで印加されると、導通状態になり、接続点J23における電圧レベルを低レベルにする。

なお、第1水平シフトパルスが高レベルで印加され、自由端子を介して電圧パルスが高レベルで印加されると、接続点J23における電圧レベルが低レベルになると共に、接続点J23を介して走査開始／終了部132からパルス出力部103Eに低レベルの電圧パルスが出力される。これに伴い、MOSトランジスタTr1Eが導通状態または非導通状態に係わらず、パルス出力部103Eの接続点J1E, J2E, J3E, J5Eのそれぞれにおける電圧レベルが低レベルになる。さらに、出力された低レベルの電圧パルスがMOSトランジスタTr3E, Tr6Eのそれぞれのゲートに印加されて、MOSトランジスタTr3E, Tr6Eのそれぞれが非導通状態になる。

【0087】

また、第1水平シフトパルスが高レベルで印加され、自由端子を介して電圧パルスが高レベルで印加されると、Tr23のソースに現れる高レベルの電圧パルスが、Tr4D, Tr5Dのそれぞれのゲートに印加されて、Tr4D, Tr5Dのそれぞれが導通状態になる。そして、接続点J3D, J4Dの電圧レベルが低レベルになり、C1Dの両端が接地されて放電される（シフト終了）。

【0088】

＜パルス出力部103E＞

パルス出力部103Eは、MOSトランジスタTr1E－Tr6E、抵抗R1E、キャパシタC1E、及びこれらの素子を接続する配線から構成されている。

MOSトランジスタTr1E（以下、Tr1Eと略称する）は、端子VDDを介してTr1Eのドレインに電源電圧が印加される。そして、パルス出力部103DからTr1Eのゲートに電圧パルスが高レベルで印加されると、導通状態になり、Tr1Eのソースに高レベルの電圧パルスが現れる。

【0089】

抵抗R1E（以下、R1Eと略称する）は、Tr1Eのソースに現れる高レベルの電圧パルスを降下させる。

MOSトランジスタTr2E（以下、Tr2Eと略称する）は、Tr2Eのソースが接地されている。そして、パルス出力部103DからTr2Eのゲートに電圧パルスが高レベルで印加されると、導通状態になり、接続点J1Eにおける

電圧レベルを低レベルにする。

【0090】

MOSトランジスタTr3E, Tr6E（以下、Tr3E, Tr6Eとそれぞれ略称する）は、端子H1を介してそれぞれのドレインに第1水平シフトパルスが印加される。そして、R1Eで電圧降下された高レベルの電圧パルス、及びキャパシタC1Eに充電されている電荷によって生じる電圧のいずれかがそれぞれのゲートに印加されると、それぞれが導通状態になり、第1水平シフトパルスの電圧レベルに応じた電圧パルスがそれぞれのソースに現れる。

【0091】

MOSトランジスタTr4E, Tr5E（以下、Tr4E, Tr5Eとそれぞれ略称する）は、それぞれのソースが接地されている。そして、パルス出力部103Fからそれぞれのゲートに電圧パルスが高レベルで印加されると、それぞれが導通状態になり、接続点J3E, J4Eのそれぞれにおける電圧レベルを低レベルにする。

【0092】

キャパシタC1E（以下、C1Eと略称する）は、ブートストラップ用のキャパシタであり、接続点J3E, J4Eにおける電圧レベルに応じて充電または放電される。

例えば、Tr2E, Tr4E, Tr5Eが非導通状態で、Tr1E, Tr3E, Tr6Eが導通状態で、第1水平シフトパルスが低レベルで印加されると、接続点J3Eにおける電圧レベルが高レベルになり、接続点J4Eにおける電圧レベルが低レベルになり、C1Eの両端に電位差が生じて充電される（充電状態）。また、Tr4E, Tr5Eが導通状態であると、接続点J3E, J4Eにおける電圧レベルが低レベルになり、C1Eの両端が接地されて放電される（放電状態）。

【0093】

なお、C1Eが充電された状態で、Tr2E, Tr4E, Tr5Eが非導通状態で、Tr3E, Tr6Eが導通状態で、第1水平シフトパルスが高レベルで印加されると、Tr3Eのソースに現れる高レベルの電圧パルスに、C1Eで充電

されている電荷によって生じる電圧を上乗せした電圧パルスが、Tr 3 E, Tr 6 Eのそれぞれのゲート、及びパルス出力部103 Fを構成するMOSトランジスタTr 1 Fのゲートに印加される。また、Tr 3 Eのソースに現れる高レベルの電圧パルスが、水平選択パルスとして、パルス出力部103 Eから出力される。さらに、Tr 6 Eのソースに現れる高レベルの電圧パルスが、Tr 4 D, Tr 5 Dのそれぞれのゲート、及びパルス出力部103 G（図外）を構成するMOSトランジスタTr 2 G（図外）のゲートに印加される（出力状態）。

【0094】

なお、Tr 2 Eが導通状態であると、Tr 1 Eが導通状態または非導通状態に係わらず、接続点J 1 E, J 2 E, J 3 E, J 5 Eにおける電圧レベルが低レベルになり、Tr 3 E, Tr 6 Eが非導通状態になる（遮断状態）。

<パルス出力部103 F>

パルス出力部103 Fは、図2-3にみられるように、パルス出力部103 Bと比べて、走査開始部131を走査開始／終了部132に、パルス出力部103 Aをパルス出力部103 Eに、パルス出力部103 Cをパルス出力部103 Gに、パルス出力部103 Dをパルス出力部103 Hに置き換えること以外は、同一の構成により説明を省略する。

【0095】

図7にみられるように、走査開始／終了部135、パルス出力部103 T-103 Vの回路構成が示されている。

<パルス出力部103 T>

パルス出力部103 Tは、図2-4にみられるように、パルス出力部103 Bと比べて、走査開始部131をパルス出力部103 Rに、パルス出力部103 Aをパルス出力部103 Sに、パルス出力部103 Cをパルス出力部103 Uに、パルス出力部103 Dをパルス出力部103 Vに置き換えること以外は、同一の構成により説明を省略する。

【0096】

<パルス出力部103 U>

パルス出力部103 Uは、MOSトランジスタTr 1 U-Tr 6 U、抵抗R 1

U、キャパシタC1U、及びこれらの素子を接続する配線から構成されている。

MOSトランジスタTr1U（以下、Tr1Uと略称する）は、端子VDDを介してTr1Uのドレインに電源電圧が印加される。そして、パルス出力部103TからTr1Uのゲートに電圧パルスが高レベルで印加されると、導通状態になり、Tr1Uのソースに高レベルの電圧パルスが現れる。

【0097】

抵抗R1U（以下、R1Uと略称する）は、Tr1Uのソースに現れる高レベルの電圧パルスを降下させる。

MOSトランジスタTr2U（以下、Tr2Uと略称する）は、Tr2Uのソースが接地されている。そして、パルス出力部103SからTr2Uのゲートに電圧パルスが高レベルで印加されると、導通状態になり、接続点J1Uにおける電圧レベルを低レベルにする。

【0098】

MOSトランジスタTr3U、Tr6U（以下、Tr3U、Tr6Uとそれぞれ略称する）は、端子H1を介してそれぞれのドレインに第1水平シフトパルスが印加される。そして、R1Uで電圧降下された高レベルの電圧パルス、及びキャパシタC1Uに充電されている電荷によって生じる電圧のいずれかがそれぞれのゲートに印加されると、それぞれが導通状態になり、第1水平シフトパルスの電圧レベルに応じた電圧パルスがそれぞれのソースに現れる。

【0099】

MOSトランジスタTr4U、Tr5U（以下、Tr4U、Tr5Uとそれぞれ略称する）は、それぞれのソースが接地されている。そして、パルス出力部103Vからそれぞれのゲートに電圧パルスが高レベルで印加されると、それぞれが導通状態になり、接続点J3E、J4Eのそれぞれにおける電圧レベルを低レベルにする。

【0100】

キャパシタC1U（以下、C1Uと略称する）は、ブートストラップ用のキャパシタであり、接続点J3U、J4Uにおける電圧レベルに応じて充電または放電される。

例えば、 T_{r2U} 、 T_{r4U} 、 T_{r5U} が非導通状態で、 T_{r1U} 、 T_{r3U} 、 T_{r6U} が導通状態で、第1水平シフトパルスが低レベルで印加されると、接続点 $J3U$ における電圧レベルが高レベルになり、接続点 $J4U$ における電圧レベルが低レベルになり、 $C1U$ の両端に電位差が生じて充電される（充電状態）。また、 T_{r4U} 、 T_{r5U} が導通状態であると、接続点 $J3U$ 、 $J4U$ における電圧レベルが低レベルになり、 $C1U$ の両端が接地されて放電される（放電状態）。

【0101】

なお、 $C1U$ が充電された状態で、 T_{r2U} 、 T_{r4U} 、 T_{r5U} が非導通状態で、 T_{r3U} 、 T_{r6U} が導通状態で、第2水平シフトパルスが高レベルで印加されると、 $C1U$ に充電されている電荷によって生じる電圧を T_{r3U} のソースに現れる高レベルの電圧パルスに上乗せした電圧パルスが、 T_{r3U} 、 T_{r6U} のそれぞれのゲート、及びパルス出力部103Vを構成するMOSトランジスタ T_{r1V} のゲートに印加される。また、 T_{r3U} のソースに現れる高レベルの電圧パルスが、水平選択パルスとして、パルス出力部103Uから出力される。さらに、 T_{r6U} のソースに現れる高レベルの電圧パルスが、 T_{r4T} 、 T_{r5T} のそれぞれのゲート、及びパルス出力部103W（図8に示される）を構成するMOSトランジスタ T_{r2W} のゲートに印加される（出力状態）。

【0102】

なお、 T_{r2U} が導通状態であると、 T_{r1U} が導通状態または非導通状態に係わらず、接続点 $J1U$ 、 $J2U$ 、 $J3U$ 、 $J5U$ における電圧レベルが低レベルになり、 T_{r3U} 、 T_{r6U} が非導通状態になる（遮断状態）。

<走査開始／終了部135>

走査開始／終了部135は、MOSトランジスタ T_{r51} － T_{r54} 、抵抗 $R51$ 、及びこれらの素子を接続する配線から構成されている。

【0103】

MOSトランジスタ T_{r51} （以下、 T_{r51} と略称する）は、端子 $H1$ を介して T_{r51} のドレインに第1水平シフトパルスが印加される。そして、自由端子を介して T_{r51} のゲートに電圧パルスが高レベルで印加されると、導通状態

になり、第1水平シフトパルスの電圧レベルに応じた電圧パルスがT r 5 1のソースに現れる。

【0104】

MOSトランジスタT r 5 2（以下、T r 5 2と略称する）は、端子VDDを介してT r 5 2のドレインに電源電圧が印加される。そして、自由端子を介してT r 5 2のゲートに電圧パルスが高レベルで印加されると、導通状態になり、T r 5 2のソースに高レベルの電圧パルスが現れる。

抵抗R 5 1は、MOSトランジスタT r 5 2のソースに現れる高レベルの電圧パルスを降下させる。

【0105】

なお、第1水平シフトパルスが高レベルで印加され、自由端子を介して電圧パルスが高レベルで印加されると、T r 5 2のソースに現れる高レベルの電圧パルスが、R 5 1で電圧降下されて、電圧降下された高レベルの電圧パルスが、接続点J 5 3を介して走査開始／終了部1 3 5からパルス出力部1 0 3 Vに出力される。これに伴い、パルス出力部1 0 3 Vの接続点J 1 V，J 2 V，J 3 V，J 5 Vのそれぞれにおける電圧レベルが高レベルになる。さらに、出力された高レベルの電圧パルスがMOSトランジスタT r 3 V，T r 6 Vのそれぞれのゲートに印加されて、MOSトランジスタT r 3 V，T r 6 Vのそれぞれが導通状態になる。

【0106】

また、T r 5 1のソースに現れる高レベルの電圧パルスが、パルス出力部1 0 3 Wを構成するMOSトランジスタT r 2 Wのゲートに印加されて、MOSトランジスタT r 2 Wが導通状態になる。そして、MOSトランジスタT r 1 Wが導通状態または非導通状態に係わらず、接続点J 1 W，J 2 W，J 3 Wのそれぞれにおける電圧レベルが低レベルになり、MOSトランジスタT r 3 Wが非導通状態になる（シフト開始）。

【0107】

MOSトランジスタT r 5 3（以下、T r 5 3と略称する）は、端子H 2を介してT r 5 3のドレインに第2水平シフトパルスが印加される。そして、端子E

Uを介してTr 53のゲートに電圧パルスが高レベルで印加されると、導通状態になり、第2水平シフトパルスの電圧レベルに応じた電圧パルスがTr 53のソースに現れる。

【0108】

MOSトランジスタTr 54（以下、Tr 54と略称する）は、Tr 54のソースが接地されている。そして、端子EUを介してTr 54のゲートに電圧パルスが高レベルで印加されると、導通状態になり、接続点J 53における電圧レベルを低レベルにする。

なお、第2水平シフトパルスが低レベルで、端子EUを介して電圧パルスが高レベルで印加されると、接続点J 53における電圧レベルが低レベルになると共に、接続点J 53を介して走査開始／終了部135からパルス出力部103Vに低レベルの電圧パルスが出力される。これに伴い、MOSトランジスタTr 1Vが導通状態または非導通状態に係わらず、パルス出力部103Vの接続点J 1V，J 2V，J 3V，J 5Vのそれぞれにおける電圧レベルが低レベルになる。さらに、出力された低レベルの電圧パルスがMOSトランジスタTr 3V，Tr 6Vのそれぞれのゲートに印加されて、MOSトランジスタTr 3V，Tr 6Vのそれぞれが非導通状態になる。

【0109】

また、第2水平シフトパルス、及び端子EUを介して電圧パルスが高レベルで印加されると、Tr 53のソースに現れる高レベルの電圧パルスが、パルス出力部103Uを構成するMOSトランジスタTr 4U，Tr 5Uのそれぞれのゲートに印加されて、MOSトランジスタTr 4U，Tr 5Uのそれぞれが導通状態になる。そして、接続点J 3U，J 4Uの電圧レベルが低レベルになり、キャパシタC 1Uの両端が接地されて放電される（シフト終了）。

【0110】

<パルス出力部103V>

パルス出力部103Vは、MOSトランジスタTr 1V－Tr 6V、抵抗R 1V、キャパシタC 1V、及びこれらを接続する配線から構成されている。

MOSトランジスタTr 1V（以下、Tr 1Vと略称する）は、端子VDDを

介して T_{r1V} のドレインに電源電圧が印加される。そして、パルス出力部 1 0 3 U から T_{r1V} のゲートに電圧パルスが高レベルで印加されると、導通状態になり、 T_{r1V} のソースに高レベルの電圧パルスが現れる。

【0 1 1 1】

抵抗 R_{1V} (以下、 R_{1V} と略称する) は、 T_{r1V} のソースに現れる高レベルの電圧パルスを降下させる。

MOS トランジスタ T_{r2V} (以下、 T_{r2V} と略称する) は、 T_{r2V} のソースが接地されている。そして、パルス出力部 1 0 3 U から T_{r2V} のゲートに電圧パルスが高レベルで印加されると、導通状態になり、接続点 J_{1V} における電圧レベルを低レベルにする。

【0 1 1 2】

MOS トランジスタ T_{r3V} , T_{r6V} (以下、 T_{r3V} , T_{r6V} とそれぞれ略称する) は、端子 H_2 を介してそれぞれのドレインに第 2 水平シフトパルスが印加される。そして、 R_{1V} で電圧降下された高レベルの電圧パルス、及びキャパシタ C_{1V} に充電されている電荷によって生じる電圧のいずれかがそれぞれのゲートに印加されると、それぞれが導通状態になり、第 2 水平シフトパルスの電圧レベルに応じた電圧パルスがそれぞれのソースに現れる。

【0 1 1 3】

MOS トランジスタ T_{r4V} , T_{r5V} (以下、 T_{r4V} , T_{r5V} とそれぞれ略称する) は、それぞれのソースが接地されている。そして、パルス出力部 1 0 3 W からそれぞれのゲートに電圧パルスが高レベルで印加されると、それぞれが導通状態になり、接続点 J_{3V} , J_{4V} のそれぞれにおける電圧レベルを低レベルにする。

【0 1 1 4】

キャパシタ C_{1V} (以下、 C_{1V} と略称する) は、ブートストラップ用のキャパシタであり、接続点 J_{3V} , J_{4V} における電圧レベルに応じて充電または放電される。

例えば、 T_{r2V} , T_{r4V} , T_{r5V} が非導通状態で、 T_{r1V} , T_{r3V} , T_{r6V} が導通状態で、第 2 水平シフトパルスが低レベルで印加されると、接

続点 J 3 V における電圧レベルが高レベルになり、接続点 J 4 V における電圧レベルが低レベルになり、C 1 V の両端に電位差が生じて充電される（充電状態）。また、T r 4 V, T r 5 V が導通状態であると、接続点 J 3 V, J 4 V における電圧レベルが低レベルになり、C 1 V の両端が接地されて放電される（放電状態）。

【0115】

なお、C 1 V が充電された状態で、T r 2 V, T r 4 V, T r 5 V が非導通状態で、T r 3 V, T r 6 V が導通状態で、第 2 水平シフトパルスが高レベルで印加されると、C 1 V に充電されている電荷によって生じる電圧を T r 3 V のソースに現れる電圧パルスに上乗せした電圧パルスが、T r 3 V, T r 6 V のそれぞれのゲート、及びパルス出力部 103 W（図 8 に示される）を構成する MOS トランジスタ T r 1 W のゲートに印加される。

【0116】

また、T r 3 V のソースに現れる高レベルの電圧パルスが、水平選択パルスとして、パルス出力部 103 V から出力される。さらに、T r 6 V のソースに現れる高レベルの電圧パルスが、T r 4 U, T r 5 U のそれぞれのゲート、及びパルス出力部 103 X（図 8 に示される）を構成する MOS トランジスタ T r 2 X（図 8 に示される）のゲートに印加される（出力状態）。

【0117】

なお、T r 2 V が導通状態であると、T r 1 V が導通状態または非導通状態に係わらず、接続点 J 1 V, J 2 V, J 3 V, J 5 V における電圧レベルが低レベルになり、T r 3 V, T r 6 V が非導通状態になる（遮断状態）。

図 8 にみられるように、走査終了部 136、パルス出力部 103 W-103 Y の回路構成が示されている。

【0118】

<パルス出力部 103 W>

パルス出力部 103 W は、図 2-4 にみられるように、パルス出力部 103 C と比べて、パルス出力部 103 A をパルス出力部 103 U に、パルス出力部 103 B をパルス出力部 103 V に、パルス出力部 103 D をパルス出力部 103 X

に、パルス出力部 1 0 3 E をパルス出力部 1 0 3 Y に置き換えること以外は、同一の構成により説明を省略する。

【 0 1 1 9 】

< パルス出力部 1 0 3 X >

パルス出力部 1 0 3 X は、図 2 - 4 にみられるように、パルス出力部 1 0 3 B と比べて、走査開始部 1 3 1 をパルス出力部 1 0 3 V に、パルス出力部 1 0 3 A をパルス出力部 1 0 3 W に、パルス出力部 1 0 3 C をパルス出力部 1 0 3 Y に置き換え、パルス出力部 1 0 3 E を省略すること以外は、同一の構成により説明を省略する。

【 0 1 2 0 】

< パルス出力部 1 0 3 Y >

パルス出力部 1 0 3 Y は、図 2 - 4 にみられるように、パルス出力部 1 0 3 C と比べて、パルス出力部 1 0 3 A をパルス出力部 1 0 3 W に、パルス出力部 1 0 3 B をパルス出力部 1 0 3 X に置き換え、パルス出力部 1 0 3 D, 1 0 3 E を省略すること以外は、同一の構成により説明を省略する。

【 0 1 2 1 】

< 走査終了部 1 3 6 >

走査終了部 1 3 6 は、MOS トランジスタ T r 6 3 から構成されている。

MOS トランジスタ T r 6 3 (以下、T r 6 3 と略称する) は、端子 H 2 を介して T r 6 3 のドレインに第 2 水平シフトパルスが印加される。そして、端子 E Y を介して T r 6 3 のゲートに電圧パルスが高レベルで印加されると、導通状態になり、第 2 水平シフトパルスの電圧レベルに応じた電圧パルスが T r 6 3 のソースに現れる。

【 0 1 2 2 】

なお、第 2 水平シフトパルスが高レベルで印加され、端子 E Y を介して電圧パルスが高レベルで印加されると、T r 6 3 のソースに現れる高レベルの電圧パルスが、パルス出力部 1 0 3 Y を構成する MOS トランジスタ T r 4 Y, T r 5 Y のそれぞれのゲートに印加されて、MOS トランジスタ T r 4 Y, T r 5 Y のそれぞれが導通状態になる。そして、接続点 J 3 Y, J 4 Y の電圧レベルが低レベ

ルになり、キャパシタ C 1 Y の両端が接地されて放電される（シフト終了）。

【0123】

<垂直走査シフトレジスタ 104 の構成>

図 9-11 は、実施の形態 1 における垂直走査シフトレジスタの構成を示す機能ブロック図である。

図 9-11 にみられるように、垂直走査シフトレジスタ 104 は、パルス出力部 104 a-104 s、走査開始部 141、走査開始／終了部 142-145、及び走査終了部 146 から構成されている。さらに、端子 V d d、V 1、V 2 を有し、パルス発生回路 105 から、端子 V d d を介して電源電圧が印加され、端子 V 1、V 2 に対して個別に電圧パルスが印加される。そして、走査開始部 141 が配置されている側から走査終了部 146 が配置されている側に、順にパルス出力部を移動しながら垂直選択パルスを受光部 101 に出力する。

【0124】

以下、端子 V 1 を介して垂直走査シフトレジスタ 104 に印加される電圧パルスを第 1 垂直シフトパルスと呼称し、端子 V 2 を介して垂直走査シフトレジスタ 104 に印加される電圧パルスを第 2 垂直シフトパルスと呼称して区別する。また、第 1 垂直シフトパルス（第 2 垂直シフトパルス）が高レベルで印加される際には、第 2 垂直シフトパルス（第 1 垂直シフトパルス）が低レベルで印加されるとする。

【0125】

さらに、垂直走査シフトレジスタ 104 は、端子 S a、S d、S g、E m、E p、E s を有し、それぞれの端子に対して個別に、パルス発生回路 105 から電圧パルスが印加される。

なお、端子 S a は、走査開始部 141 に接続され、端子 S d は、走査開始／終了部 142 に接続され、端子 S g は、走査開始／終了部 143 に接続されている。端子 E m は、走査開始／終了部 144 に接続され、端子 E p は、走査開始／終了部 145 に接続され、端子 E s は、走査終了部 146 に接続されている。

【0126】

<垂直走査シフトレジスタ 104 の回路構成>

図12-15は、一例として、実施の形態1における垂直走査シフトレジスタの構成を示す回路図である。

図12-15にみられるように、垂直走査シフトレジスタ104は、その構成要素が水平走査シフトレジスタ103と同一の構成要素であることにより、垂直走査シフトレジスタ104についての説明を省略する。

【0127】

<固体撮像素子100の動作>

以上のように構成された水平走査シフトレジスタ103および垂直走査シフトレジスタ104を備える固体撮像素子100について、その動作を説明する。なお、パルス発生回路105から水平走査シフトレジスタ103および垂直走査シフトレジスタ104に印加される電圧パルスに応じて、以下に示す走査領域A、B、Cのいずれかの領域が選択的に走査される場合を例にして説明する。

【0128】

(走査領域A) 水平方向にA列からY列まで、垂直方向にa行からs行までの画素部によって構成される領域。

(走査領域B) 水平方向にE列からU列まで、垂直方向にd行からp行までの画素部によって構成される領域。

(走査領域C) 水平方向にI列からQ列まで、垂直方向にg行からm行までの画素部によって構成される領域。

【0129】

以下、走査領域Aが走査される場合を動作例1とし、走査領域Bが走査される場合を動作例2とし、走査領域Cが走査される場合を動作例3として、個別に説明する。

<実施の形態1における動作例1>

図16(a)、(b)は、実施の形態1において走査領域Aに対して走査する際に、水平走査シフトレジスタおよび垂直走査シフトレジスタにパルス発生回路から印加される電圧パルスのタイミングチャートを示す図である。なお、図16(a)は、走査を開始する際のタイミングチャートであり、図16(b)は、走査を終了する際のタイミングチャートである。

【0130】

図16 (a), (b) にみられるように、上から順に、クロック、端子H1, H2, SA, EY, V1, V2, Sa, Esのそれぞれを介して、パルス発生回路105から水平走査シフトレジスタ103および垂直走査シフトレジスタ104の構成要素に印加される電圧パルスが示されている。

具体的には、水平走査シフトレジスタ103の構成要素に対しては、端子H1を介して、T0から2クロックの周期で1クロックの間、第1水平シフトパルスが高レベルで印加され、端子H2を介して、T1から2クロックの周期で1クロックの間、第2水平シフトパルスが高レベルで印加される。さらに、走査開始部131に対しては、別途、端子SAを介して、T1から30クロックの周期で1クロックの間、電圧パルスが高レベルで印加され、走査終了部136に対しても、別途、端子EYを介して、T26から30クロックの周期で2クロックの間、電圧パルスが高レベルで印加される。

【0131】

同様に、垂直走査シフトレジスタ104の構成要素に対しては、端子V1を介して、T1から60クロックの周期で27クロックの間、第1垂直シフトパルスが高レベルで印加され、端子V2を介して、T0から1クロックの間、T31から60クロックの周期で27クロックの間、及びT568から1クロックの間、第2垂直シフトパルスが高レベルで印加される。さらに、走査開始部141に対しては、別途、端子Saを介して、T0から1クロックの間、電圧パルスが高レベルで印加され、走査終了部146に対しても、別途、端子Esを介して、T541から28クロックの間、電圧パルスが高レベルで印加される。

【0132】

ここで、一例として、図16 (a), (b) に示されるタイミングチャートに基づいて、T0からT28までにおいて、水平方向に1行走査する場合について説明する。

なお、垂直走査シフトレジスタ104は、パルス発生回路105から、第1垂直シフトパルスが低レベルで、第2垂直シフトパルスが高レベルで印加され、端子Saを介して走査開始部141に電圧パルスが高レベルで印加されて、パルス

出力部 104 a を充電状態に遷移させ、パルス出力部 104 b を遮断状態に遷移させる（タイム T0）。さらに、第 1 垂直シフトパルスが高レベルで、第 2 垂直シフトパルスが低レベルで印加され、端子 S a を介して走査開始部 141 に電圧パルスが高レベルで印加されて、パルス出力部 104 a を出力状態に遷移させ、パルス出力部 104 b を充電状態に遷移させ、パルス出力部 104 c を遮断状態に遷移させる（タイム T1）。

【0133】

以下、T28 まで、パルス出力部 104 a から垂直選択パルスが出力されているとする。また、T541 まで、端子 E s を介して走査終了部 146 に電圧パルスが低レベルで印加されているとする。

図 17 は、動作例 1 に対して、実施の形態 1 における水平走査シフトレジスタの状態遷移を示す図である。なお、T4 から T24 までについての説明は省略する。

【0134】

同図にみられるように、水平走査シフトレジスタ 103 は、パルス発生回路 105 から、第 1 水平シフトパルスが低レベルで、第 2 水平シフトパルスが高レベルで印加され、端子 S A を介して走査開始部 131 に電圧パルスが高レベルで印加されて、パルス出力部 103 A を充電状態に遷移させ、パルス出力部 103 B を遮断状態に遷移させる（タイム T1）。さらに、第 1 水平シフトパルスが高レベルで、第 2 水平シフトパルスが低レベルで印加され、端子 S A を介して走査開始部 131 に電圧パルスが高レベルで印加されて、パルス出力部 103 A を出力状態に遷移させ、パルス出力部 103 B を充電状態に遷移させ、パルス出力部 103 C を遮断状態に遷移させる（タイム T2）。さらに、第 1 水平シフトパルスが低レベルで、第 2 水平シフトパルスが高レベルで印加され、端子 S A を介して走査開始部 131 に電圧パルスが低レベルで印加されて、パルス出力部 103 A を放電状態に遷移させ、パルス出力部 103 B を出力状態に遷移させ、パルス出力部 103 C を充電状態に遷移させ、パルス出力部 103 D を遮断状態に遷移させる（タイム T3）。

【0135】

その後、水平走査シフトレジスタ103は、パルス発生回路105から、第1水平シフトパルスが低レベルで、第2水平シフトパルスが高レベルで印加され、端子E Yを介して走査終了部136に電圧パルスが低レベルで印加されて、パルス出力部103Wを放電状態に遷移させ、パルス出力部103Xを出力状態に遷移させ、パルス出力部103Yを充電状態に遷移させる（タイムT25）。さらに、第1水平シフトパルスが高レベルで、第2水平シフトパルスが低レベルで印加され、端子E Yを介して走査終了部136に電圧パルスが高レベルで印加されて、パルス出力部103Xを放電状態に遷移させ、パルス出力部103Yを出力状態に遷移させる（タイムT26）。そして、第1水平シフトパルスが低レベルで、第2水平シフトパルスが高レベルで印加され、端子E Yを介して走査終了部136に電圧パルスが高レベルで印加されて、パルス出力部103Yが放電状態に遷移する（タイムT27）。

【0136】

以上、パルス出力部103Aからパルス出力部103Yまで、水平選択パルスが出力され、画素部101Aa-101Yaが走査される。そして、パルス出力部104b-104sに対しても、同様に、水平走査シフトレジスタ103から水平選択パルスが出力されることにより、走査領域Aが走査される。

<実施の形態1における動作例2>

図18(a), (b)は、実施の形態1において走査領域Bに対して走査する際に、水平走査シフトレジスタおよび垂直走査シフトレジスタにパルス発生回路から印加される電圧パルスのタイミングチャートを示す図である。なお、図18(a)は、走査を開始する際のタイミングチャートであり、図18(b)は、走査を終了する際のタイミングチャートである。

【0137】

図18(a), (b)にみられるように、上から順に、クロック、端子H1, H2, SE, EU, V1, V2, Sd, Epのそれぞれを介して、パルス発生回路105から水平走査シフトレジスタ103および垂直走査シフトレジスタ104の構成要素に印加される電圧パルスが示されている。

具体的には、水平走査シフトレジスタ103の構成要素に対しては、端子H1

を介して、T0 から 2 クロックの周期で 1 クロックの間、第 1 水平シフトパルスが高レベルで印加され、端子 H2 を介して、T1 から 2 クロックの周期で 1 クロックの間、第 2 水平シフトパルスが高レベルで印加される。さらに、走査開始／終了部 132 に対しては、別途、端子 SE を介して、T2 から 44 クロックの周期で 1 クロックの間、電圧パルスが高レベルで印加され、走査開始／終了部 135 に対しても、別途、端子 EU を介して、T18 から 22 クロックの周期で 2 クロックの間、電圧パルスが高レベルで印加される。

【0138】

同様に、垂直走査シフトレジスタ 104 の構成要素に対しては、端子 V1 を介して、T0 から 1 クロックの間、T23 から 44 クロックの周期で 19 クロックの間、及び T284 から 1 クロックの間、第 1 垂直シフトパルスが高レベルで印加され、端子 V2 を介して、T1 から 44 クロックの周期で 19 クロックの間、第 2 垂直シフトパルスが高レベルで印加される。さらに、走査開始／終了部 142 に対しては、別途、端子 Sd を介して、T0 から 1 クロックの間、電圧パルスが高レベルで印加され、走査開始／終了部 145 に対しても、別途、端子 Ep を介して、T265 から 20 クロックの間、電圧パルスが高レベルで印加される。

【0139】

ここで、一例として、図 18 (a), (b) に示されるタイミングチャートに基づいて、T0 から T20 までにおいて、水平方向に 1 行走査する場合について説明する。

なお、垂直走査シフトレジスタ 104 は、パルス発生回路 105 から、第 1 垂直シフトパルスが高レベルで、第 2 垂直シフトパルスが低レベルで印加され、端子 Sd を介して走査開始／終了部 142 に電圧パルスが高レベルで印加されて、パルス出力部 104 d を充電状態に遷移させ、パルス出力部 104 e を遮断状態に遷移させる (タイム T0)。さらに、第 1 垂直シフトパルスが低レベルで、第 2 垂直シフトパルスが高レベルで印加され、端子 Sd を介して走査開始／終了部 142 に電圧パルスが高レベルで印加されて、パルス出力部 104 d を出力状態に遷移させ、パルス出力部 104 e を充電状態に遷移させ、パルス出力部 104 f を遮断状態に遷移させる (タイム T1)。

【0140】

以下、T20まで、パルス出力部104dから垂直選択パルスが出力されているとする。また、T265まで、端子E_pを介して走査開始／終了部145に電圧パルスが低レベルで印加されているとする。

図19は、動作例2に対して、実施の形態1における水平走査シフトレジスタの状態遷移を示す図である。なお、T4からT16までについての説明は省略する。

【0141】

同図にみられるように、水平走査シフトレジスタ103は、パルス発生回路105から、第1水平シフトパルスが低レベルで、第2水平シフトパルスが高レベルで印加され、端子S_Eを介して走査開始／終了部132に電圧パルスが高レベルで印加されて、パルス出力部103Eを充電状態に遷移させ、パルス出力部103Fを遮断状態に遷移させる（タイムT1）。さらに、第1水平シフトパルスが高レベルで、第2水平シフトパルスが低レベルで印加され、端子S_Eを介して走査開始／終了部132に電圧パルスが高レベルで印加されて、パルス出力部103Eを出力状態に遷移させ、パルス出力部103Fを充電状態に遷移させ、パルス出力部103Gを遮断状態に遷移させる（タイムT2）。さらに、第1水平シフトパルスが低レベルで、第2水平シフトパルスが高レベルで印加され、端子S_Eを介して走査開始／終了部132に電圧パルスが低レベルで印加されて、パルス出力部103Eを放電状態に遷移させ、パルス出力部103Fを出力状態に遷移させ、パルス出力部103Gを充電状態に遷移させ、パルス出力部103Hを遮断状態に遷移させる（タイムT3）。

【0142】

その後、水平走査シフトレジスタ103は、パルス発生回路105から、第1水平シフトパルスが低レベルで、第2水平シフトパルスが高レベルで印加され、端子E_Uを介して走査開始／終了部135に電圧パルスが低レベルで印加されて、パルス出力部103Sを放電状態に遷移させ、パルス出力部103Tを出力状態に遷移させ、パルス出力部103Uを充電状態に遷移させ、パルス出力部103Vを遮断状態に遷移させる（タイムT17）。さらに、第1水平シフトパルス

が高レベルで、第2水平シフトパルスが低レベルで印加され、端子E Uを介して走査開始／終了部135に電圧パルスが高レベルで印加されて、パルス出力部103 Tを放電状態に遷移させ、パルス出力部103 Uを出力状態に遷移させ、パルス出力部103 Vを遮断状態に遷移させる（タイムT18）。そして、第1水平シフトパルスが低レベルで、第2水平シフトパルスが高レベルで印加され、端子E Uを介して走査開始／終了部135に電圧パルスが高レベルで印加されて、パルス出力部103 Uを放電状態に遷移させ、パルス出力部103 Vを遮断状態に遷移させる（タイムT19）。

【0143】

以上、パルス出力部103 Eからパルス出力部103 Uまで、水平選択パルスが出力され、画素部101 E d－101 U dが走査される。そして、パルス出力部104 e－104 pに対しても、同様に、水平走査シフトレジスタ103から水平選択パルスが出力されることにより、走査領域Bが走査される。

<実施の形態1における動作例3>

図20（a）、（b）は、実施の形態1において走査領域Cに対して走査する際に、水平走査シフトレジスタおよび垂直走査シフトレジスタにパルス発生回路から印加される電圧パルスのタイミングチャートを示す図である。なお、図20（a）は、走査を開始する際のタイミングチャートであり、図20（b）は、走査を終了する際のタイミングチャートである。

【0144】

図20（a）、（b）にみられるように、上から順に、クロック、端子H1、H2、S I、E Q、V1、V2、S g、E mのそれぞれを介して、パルス発生回路105から水平走査シフトレジスタ103および垂直走査シフトレジスタ104の構成要素に印加される電圧パルスが示されている。

具体的には、水平走査シフトレジスタ103の構成要素に対しては、端子H1を介して、T0から2クロックの周期で1クロックの間、第1水平シフトパルスが高レベルで印加され、端子H2を介して、T1から2クロックの周期で1クロックの間、第2水平シフトパルスが高レベルで印加される。さらに、走査開始／終了部133に対しては、別途、端子S Iを介して、T1から14クロックの周

期で1クロックの間、電圧パルスが高レベルで印加され、走査開始／終了部134に対しても、別途、端子EQを介して、T10から14クロックの周期で2クロックの間、電圧パルスが高レベルで印加される。

【0145】

同様に、垂直走査シフトレジスタ104の構成要素に対しては、端子V1を介して、T1から28クロックの周期で11クロックの間、第1垂直シフトパルスが高レベルで印加され、端子V2を介して、T0から1クロックの間、T15から28クロックの周期で11クロックの間、及びT96から1クロックの間、第2垂直シフトパルスが高レベルで印加される。さらに、走査開始／終了部143に対しては、別途、端子Sgを介して、T0から1クロックの間、電圧パルスが高レベルで印加され、走査開始／終了部144に対しても、別途、端子Emを介して、T85から12クロックの間、電圧パルスが高レベルで印加される。

【0146】

ここで、一例として、図20(a), (b)に示されるタイミングチャートに基づいて、T0からT12までにおいて、水平方向に1行走査する場合について説明する。

なお、垂直走査シフトレジスタ104は、パルス発生回路105から、第1垂直シフトパルスが低レベルで、第2垂直シフトパルスが高レベルで印加され、端子Sgを介して走査開始／終了部143に電圧パルスが高レベルで印加されて、パルス出力部104gを充電状態に遷移させ、パルス出力部104hを遮断状態に遷移させる(タイムT0)。第1垂直シフトパルスが高レベルで、第2垂直シフトパルスが低レベルで印加され、端子Sgを介して走査開始／終了部143に電圧パルスが高レベルで印加されて、パルス出力部104gを出力状態に遷移させ、パルス出力部104hを充電状態に遷移させ、パルス出力部104iを遮断状態に遷移させる(タイムT1)。

【0147】

以下、T12まで、パルス出力部104gから垂直選択パルスが出力されているとする。また、T84まで、端子Emを介して走査開始／終了部144に電圧パルスが低レベルで印加されているとする。

図 21 は、動作例 3 に対して、実施の形態 1 における水平走査シフトレジスタの状態遷移を示す図である。なお、T4 から T8 までについては説明を省略する。

【0148】

同図にみられるように、水平走査シフトレジスタ 103 は、パルス発生回路 105 から、第 1 水平シフトパルスが低レベルで、第 2 水平シフトパルスが高レベルで印加され、端子 S I を介して走査開始／終了部 133 に電圧パルスが高レベルで印加されて、パルス出力部 103 I を充電状態に遷移させ、パルス出力部 103 J を遮断状態に遷移させる（タイム T1）。さらに、第 1 水平シフトパルスが高レベルで、第 2 水平シフトパルスが低レベルで印加され、端子 S I を介して走査開始／終了部 133 に電圧パルスが高レベルで印加されて、パルス出力部 103 I を出力状態に遷移させ、パルス出力部 103 J を充電状態に遷移させ、パルス出力部 103 K を遮断状態に遷移させる（タイム T2）。さらに、第 1 水平シフトパルスが低レベルで、第 2 水平シフトパルスが高レベルで印加され、端子 S I を介して走査開始／終了部 133 に電圧パルスが低レベルで印加されて、パルス出力部 103 I を放電状態に遷移させ、パルス出力部 103 J を出力状態に遷移させ、パルス出力部 103 K を充電状態に遷移させ、パルス出力部 103 L を遮断状態に遷移させる（タイム T3）。

【0149】

その後、水平走査シフトレジスタ 103 は、パルス発生回路 105 から、第 1 水平シフトパルスが低レベルで、第 2 水平シフトパルスが高レベルで印加され、端子 E Q を介して走査開始／終了部 134 に電圧パルスが低レベルで印加されて、パルス出力部 103 O を放電状態に遷移させ、パルス出力部 103 P を出力状態に遷移させ、パルス出力部 103 Q を充電状態に遷移させ、パルス出力部 103 R を遮断状態に遷移させる（タイム T9）。さらに、第 1 水平シフトパルスが高レベルで、第 2 水平シフトパルスが低レベルで印加され、端子 E Q を介して走査開始／終了部 134 に電圧パルスが高レベルで印加されて、パルス出力部 103 P を放電状態に遷移させ、パルス出力部 103 Q を出力状態に遷移させ、パルス出力部 103 R を遮断状態に遷移させる（タイム T10）。そして、第 1 水平

シフトパルスが低レベルで、第2水平シフトパルスが高レベルで印加され、端子EQを介して走査開始／終了部134に電圧パルスが高レベルで印加されて、パルス出力部103Qを放電状態に遷移させ、パルス出力部103Rを遮断状態に遷移させる（タイムT11）。

【0150】

以上、パルス出力部103Iからパルス出力部103Qまで、水平選択パルスが出力され、画素部101Ig-101Qgが走査される。同様に、パルス出力部104h-104mに対しても、水平走査シフトレジスタ103から水平選択パルスが出力されることにより、走査領域Cが走査される。

＜実施の形態1のまとめ＞

以上、水平走査シフトレジスタ103および垂直走査シフトレジスタ104は、水平選択パルス、及び垂直選択パルスを出力し、切替部102を構成する水平MOSトランジスタTr15A-Tr15Yのゲートに水平選択パルスを印加し、受光部101を構成する垂直MOSトランジスタTr11Aa-Tr11Ysのゲートに垂直選択パルスを印加して、信号電荷を読み出す画素部を順番に選択する。そして、選択した画素部のフォトダイオードに蓄積されている信号電荷を読み出し、読み出した信号電荷を、垂直信号線109A-109Yを介して切替部102に出力する。

【0151】

そして、このとき、パルス発生回路105から印加される電圧パルスに応じて、水平選択パルスが印加される水平MOSトランジスタ、及び垂直選択パルスが印加される垂直MOSトランジスタが制限される。

＜実施の形態2＞

以下、本発明の実施の形態2について、図面を参照しながら説明する。なお、実施の形態1と同一の構成要素、及び動作については同一の符号を付して、その説明を省略する。

【0152】

＜固体撮像素子200の構成＞

図 22 は、実施の形態 2 における固体撮像素子の構成を示す機能ブロック図である。

同図にみられるように、固体撮像素子 200 は、水平走査シフトレジスタ 103、垂直走査シフトレジスタ 104、及びパルス発生回路 105 の代わりに、水平走査シフトレジスタ 203、垂直走査シフトレジスタ 204、及びパルス発生回路 205 を備える点が異なる。

【0153】

＜水平走査シフトレジスタ 203 の構成＞

図 23-25 は、実施の形態 2 における水平走査シフトレジスタの構成を示す機能ブロック図である。

図 23-25 にみられるように、水平走査シフトレジスタ 203 は、パルス出力部 103A、走査開始部 131、走査開始／終了部 132-135、及び走査終了部 136 の代わりに、パルス出力部 203A、走査開始部 231-233、及び走査終了部 234-236 を備える。また、端子 SA, SE, SI, EQ, EU, EY のそれぞれに対して個別の電圧パルスが、パルス発生回路 105 から印加される代わりに、端子 SA, SE, SI のそれぞれに対して同一の電圧パルス（以下、水平シフト開始パルスと呼称する）が、パルス発生回路 205 から印加され、水平シフト開始パルスとは別に、端子 EQ, EU, EY のそれぞれに対して同一の電圧パルス（以下、水平シフト終了パルスと呼称する）が、パルス発生回路 205 から印加される。さらに、端子 HIN を介して電圧パルス（以下、水平走査開始／終了パルスと呼称する）が、パルス発生回路 205 から印加される点が異なる。そして、パルス発生回路 205 から水平走査シフトレジスタ 203 に印加される第 1 水平シフトパルス、第 2 水平シフトパルス、水平シフト開始パルス、水平シフト終了パルス、及び水平走査開始／終了パルスの組み合わせに応じて、水平選択パルスを出力し始めるパルス出力部が異なる。

【0154】

例えば、水平走査開始／終了パルス、第 2 水平シフトパルス、及び第 1 水平シフトパルスが高レベルで印加された後に、水平シフト開始パルスが高レベルで印加されると、パルス出力部 203A から水平選択パルスが出力される。同様に、

水平走査開始／終了パルス、水平シフト開始パルス、及び第 2 水平シフトパルスが高レベルで印加された後に、第 1 水平シフトパルスが高レベルで印加されると、パルス出力部 1 0 3 E から水平選択パルスが出力される。また、水平走査開始／終了パルス、第 1 水平シフトパルス、及び水平シフト開始パルスが高レベルで印加されると、パルス出力部 1 0 3 I から水平選択パルスが出力される。さらに、パルス出力部 2 0 3 A, 1 0 3 E, 1 0 3 I のいずれかから水平選択パルスが出力されると、走査開始部 2 3 1 が配置されている側から走査終了部 2 3 6 が配置されている側に、水平選択パルスを出力するパルス出力部が順に移る。

【0 1 5 5】

さらに、パルス出力部 1 0 3 Q から水平選択パルスが出力される際に、水平走査開始／終了パルスが低レベルで、水平シフト終了パルスおよび第 1 水平シフトパルスが高レベルで印加されると、パルス出力部 1 0 3 Q まで水平選択パルスが出力されて、パルス出力部 1 0 3 R 以降から出力されなくなる。同様に、パルス出力部 1 0 3 U から水平選択パルスが出力される際に、水平走査開始／終了パルスが低レベルで、水平シフト終了パルスおよび第 1 水平シフトパルスが高レベルで印加されると、パルス出力部 1 0 3 U まで水平選択パルスが出力されて、パルス出力部 1 0 3 V 以降から出力されなくなる。また、これらの場合以外では、パルス出力部 1 0 3 Y まで水平選択パルスが出力される。

【0 1 5 6】

なお、水平選択パルスを出力するパルス出力部が順に移っている間は、端子 S A, S E, S I に水平シフト開始パルスが高レベルで印加されないとする。

＜水平走査シフトレジスタ 2 0 3 の回路構成＞

以上のように構成された水平走査シフトレジスタ 2 0 3 について、その回路構成について説明する。

【0 1 5 7】

図 2 6 - 2 9 は、一例として、実施の形態 2 における水平走査シフトレジスタの構成を示す回路図である。

図 2 6 にみられるように、パルス出力部 1 0 3 A、及び走査開始部 1 3 1 の代わりに、パルス出力部 2 0 3 A、及び走査開始部 2 3 1 の回路構成が示されてい

る。

【0 1 5 8】

<パルス出力部 2 0 3 A>

パルス出力部 2 0 3 A は、パルス出力部 1 0 3 A と比べて、端子 H 1 を介して第 1 水平シフトパルスが印加される代わりに、端子 S A を介して水平シフト開始パルスが、パルス発生回路 2 0 5 から T r 3 A のドレインに印加される点が異なる。

【0 1 5 9】

<走査開始部 2 3 1>

走査開始部 2 3 1 は、MOS トランジスタ T r 7 1、T r 7 2、及びこれらの素子を接続する配線から構成されている。

MOS トランジスタ T r 7 1（以下、T r 7 1 と略称する）は、端子 H I N を介して T r 7 1 のドレインに水平走査開始／終了パルスが印加される。そして、端子 H 2 を介して T r 7 1 のゲートに第 2 水平シフトパルスが高レベルで印加されると、導通状態になり、水平走査開始／終了パルスの電圧レベルに応じた電圧パルスが T r 7 1 のソースに現れる。

【0 1 6 0】

MOS トランジスタ T r 7 2（以下、T r 7 2 と略称する）は、T r 7 1 のソースに T r 7 2 のドレインが接続されている。そして、端子 H 1 を介して T r 7 2 のゲートに第 1 水平シフトパルスが高レベルで印加されると、導通状態になり、T r 7 1 のソースに現れる電圧パルスの電圧レベルに応じた電圧パルスが T r 7 2 のソースに現れる。

【0 1 6 1】

なお、第 1 水平シフトパルス、第 2 水平シフトパルス、及び水平走査開始／終了パルスが高レベルで印加されると、T r 7 1 のソースに高レベルの電圧パルスが現れると共に、T r 7 2 のソースにも高レベルの電圧パルスが現れて、T r 7 2 のソースに現れる高レベルの電圧パルスが、走査開始部 2 3 1 からパルス出力部 2 0 3 A に出力される。これに伴い、パルス出力部 2 0 3 A の接続点 J 2 A、J 3 A のそれぞれにおける電圧レベルが高レベルになる。さらに、出力された高

レベルの電圧パルスがTr 3 Aのゲートに印加されて、Tr 3 Aが導通状態になる。

【0162】

また、Tr 7 1のソースに現れる高レベルの電圧パルスが、接続点J 7 1を介してTr 2 Bのゲートに印加されて、Tr 2 Bが導通状態になる。そして、Tr 1 Bが導通状態または非導通状態に係わらず、接続点J 1 B, J 2 B, J 3 Bのそれぞれにおける電圧レベルが低レベルになり、Tr 3 Bが非導通状態になる（シフト開始）。

【0163】

図27にみられるように、走査開始部132の代わりに、走査開始部232の回路構成が示されている。

＜走査開始部232＞

走査開始部232は、MOSトランジスタTr 8 1, Tr 8 2、及びこれらの素子を接続する配線から構成されている。

【0164】

MOSトランジスタTr 8 1（以下、Tr 8 1と略称する）は、端子H I Nを介してTr 8 1のドレインに水平走査開始／終了パルスが印加される。そして、端子S Eを介してTr 8 1のゲートに水平シフト開始パルスが高レベルで印加されると、導通状態になり、水平走査開始／終了パルスの電圧レベルに応じた電圧パルスがTr 8 1のソースに現れる。

【0165】

MOSトランジスタTr 8 2（以下、Tr 8 2と略称する）は、Tr 8 1のソースにTr 8 2のドレインが接続されている。そして、端子H 2を介してTr 8 2のゲートに第2水平シフトパルスが高レベルで印加されると、導通状態になり、Tr 8 1のソースに現れる電圧パルスの電圧レベルに応じた電圧パルスがTr 8 2のソースに現れる。

【0166】

なお、水平シフト開始パルス、第2水平シフトパルス、及び水平走査開始／終了パルスが高レベルで印加されると、Tr 8 1のソースに高レベルの電圧パルス

が現れると共に、T r 8 2 のソースにも高レベルの電圧パルスが現れて、T r 8 2 のソースに現れる高レベルの電圧パルスが、走査開始部 2 3 2 からパルス出力部 1 0 3 E に出力される。これに伴い、パルス出力部 1 0 3 E の接続点 J 1 E, J 2 E, J 3 E, J 5 E のそれぞれにおける電圧レベルが高レベルになる。さらに、出力された高レベルの電圧パルスが T r 3 E, T r 6 E のそれぞれのゲートに印加されて、T r 3 E, T r 6 E のそれぞれが導通状態になる。

【 0 1 6 7 】

また、T r 8 1 のソースに現れる高レベルの電圧パルスが、接続点 J 8 1 を介して T r 2 F のゲートに印加されて、T r 2 F が導通状態になる。そして、T r 1 F が導通状態または非導通状態に係わらず、接続点 J 1 F, J 2 F, J 3 F のそれぞれにおける電圧レベルが低レベルになり、T r 3 F が非導通状態になる（シフト開始）。

【 0 1 6 8 】

図 2 8 にみられるように、走査終了部 1 3 5 の代わりに、走査終了部 2 3 5 の回路構成が示されている。

< 走査終了部 2 3 5 >

走査終了部 2 3 5 は、MOS トランジスタ T r 8 3, T r 8 4、及びこれらの素子を接続する配線から構成されている。

【 0 1 6 9 】

MOS トランジスタ T r 8 3（以下、T r 8 3 と略称する）は、端子 H I N を介して T r 8 3 のドレインに水平走査開始／終了パルスが印加される。そして、端子 E U を介して T r 8 3 のゲートに水平シフト終了パルスが高レベルで印加されると、導通状態になり、水平走査開始／終了パルスの電圧レベルに応じた電圧パルスが T r 8 3 のソースに現れる。

【 0 1 7 0 】

MOS トランジスタ T r 8 4（以下、T r 8 4 と略称する）は、T r 8 3 のソースに T r 8 4 のドレインが接続されている。そして、端子 H 1 を介して T r 8 4 のゲートに第 1 水平シフトパルスが高レベルで印加されると、導通状態になり、T r 8 3 のソースに現れる電圧パルスの電圧レベルに応じた電圧パルスが T r

84のソースに現れる。

【0171】

なお、水平シフト終了パルスおよび第1水平シフトパルスが高レベルで、水平走査開始／終了パルスが低レベルで印加されると、Tr83のソースに低レベルの電圧パルスが現れると共に、Tr84のソースにも低レベルの電圧パルスが現れて、Tr84のソースに現れる低レベルの電圧パルスが、走査終了部235からパルス出力部103Vに出力される。これに伴い、Tr1Vが導通状態または非導通状態に係わらず、パルス出力部103Vの接続点J1V，J2V，J3V，J5Vのそれぞれにおける電圧レベルが低レベルになる。さらに、出力された低レベルの電圧パルスがTr3V，Tr6Vのそれぞれのゲートに印加されて、Tr3V，Tr6Vのそれぞれが非導通状態になる。

【0172】

また、第1水平シフトパルスが低レベルで、水平シフト終了パルスおよび水平走査開始／終了パルスが高レベルで印加されると、Tr83のソースに現れる高レベルの電圧パルスが、接続点J82を介してパルス出力部103Uを構成するTr4U，Tr5Uのそれぞれのゲートに印加されて、Tr4U，Tr5Uのそれぞれが導通状態になる。そして、接続点J3U，J4Uの電圧レベルが低レベルになり、C1Uの両端が接地されて放電される（シフト終了）。

【0173】

図29にみられるように、走査終了部136の代わりに、走査終了部236の回路構成が示されている。

<走査終了部236>

走査終了部236は、MOSトランジスタTr73から構成されている。

MOSトランジスタTr73（以下、Tr73と略称する）は、端子HINを介してTr73のドレインに水平走査開始／終了パルスが印加される。そして、端子EYを介してTr73のゲートに水平シフト終了パルスが高レベルで印加されると、導通状態になり、水平走査開始／終了パルスの電圧レベルに応じた電圧パルスがTr73のソースに現れる。

【0174】

なお、水平シフト終了パルスおよび水平走査開始／終了パルスが高レベルで印加されると、Tr 73のソースに現れる高レベルの電圧パルスが、パルス出力部103Yを構成するTr 4Y, Tr 5Yのそれぞれのゲートに印加されて、Tr 4Y, Tr 5Yのそれぞれが導通状態になる。そして、接続点J 3Y, J 4Yの電圧レベルが低レベルになり、C 1Yの両端が接地されて放電される（シフト終了）。

【0175】

＜垂直走査シフトレジスタ204の構成＞

図30-32は、実施の形態2における垂直走査シフトレジスタの構成を示す機能ブロック図である。

図30-32にみられるように、垂直走査シフトレジスタ204は、走査開始部141、走査開始／終了部142-145、及び走査終了部146の代わりに、走査開始部241-243、走査終了部244-246を備える。また、端子Sa, Sd, Sg, Em, Ep, Esのそれぞれに対して個別の電圧パルスが、パルス発生回路105から印加される代わりに、端子Sa, Sd, Sgのそれぞれに対して同一の電圧パルス（以下、垂直シフト開始パルスと呼称する）が、パルス発生回路205から印加され、垂直シフト開始パルスとは別に、端子Em, Ep, Esのそれぞれに対して同一の電圧パルス（以下、垂直シフト終了パルスと呼称する）が、パルス発生回路205から垂直走査シフトレジスタ204に印加される。さらに、端子VINを介して電圧パルス（以下、垂直走査開始／終了パルスと呼称する）が、パルス発生回路205から垂直走査シフトレジスタ204に印加される点が異なる。

【0176】

そして、パルス発生回路205から垂直走査シフトレジスタ204に印加される第1垂直シフトパルス、第2垂直シフトパルス、垂直シフト開始パルス、垂直シフト終了パルス、及び垂直走査開始／終了パルスの組み合わせに応じて、垂直選択パルスを出力し始めるパルス出力部が異なる。

＜垂直走査シフトレジスタ204の回路構成＞

図33-36は、一例として、実施の形態2における垂直走査シフトレジスタ

の構成を示す回路図である。

【0177】

図33-36にみられるように、垂直走査シフトレジスタ204は、その構成要素が水平走査シフトレジスタ203と同一の構成要素であることにより、垂直走査シフトレジスタ204についての説明を省略する。

＜固体撮像素子200の動作＞

以上のように構成された水平走査シフトレジスタ203、及び垂直走査シフトレジスタ204を備える固体撮像素子200について、その動作を説明する。なお、パルス発生回路205から水平走査シフトレジスタ203、及び垂直走査シフトレジスタ204に印加される電圧パルスに応じて、実施の形態1において示された走査領域A、B、Cのいずれかの領域が選択的に走査される場合を例にして説明する。

【0178】

＜実施の形態2における動作例1＞

図37(a)、(b)は、実施の形態2において走査領域Aに対して走査する際に、水平走査シフトレジスタおよび垂直走査シフトレジスタにパルス発生回路から印加される電圧パルスのタイミングチャートを示す図である。なお、図37(a)は、走査を開始する際のタイミングチャートであり、図37(b)は、走査を終了する際のタイミングチャートである。

【0179】

図37(a)、(b)にみられるように、上から順に、クロック、端子H1、H2、HIN、SA、EY、V1、V2、VIN、Sa、Esのそれぞれを介して、パルス発生回路205から水平走査シフトレジスタ203および垂直走査シフトレジスタ204の構成要素に印加される電圧パルスが示されている。

具体的には、水平走査シフトレジスタ203の構成要素に対しては、端子H1を介して、T1、T4、・・・、及びT28から30クロックの周期で1クロックの間、第1水平シフトパルスが高レベルで印加され、端子H2を介して、T1から2クロックの周期で1クロックの間、第2水平シフトパルスが高レベルで印加される。また、端子HINを介して、T1、及びT27から30クロックの周

期で1クロックの間、水平走査開始／終了パルスが高レベルで印加される。さらに、走査開始部231に対しては、別途、端子SAを介して、T2から30クロックの周期で1クロックの間、水平シフト開始パルスが高レベルで印加され、走査終了部236に対しても、別途、端子EYを介して、T26から30クロックの周期で2クロックの間、水平シフト終了パルスが高レベルで印加される。

【0180】

同様に、垂直走査シフトレジスタ204の構成要素に対しては、端子V1を介して、T0から1クロックの間およびT61から60クロックの周期で27クロックの間、第1垂直シフトパルスが高レベルで印加され、端子V2を介して、T0から1クロックの間およびT31から60クロックの周期で27クロックの間、第2垂直シフトパルスが高レベルで印加される。また、端子VINを介して、T0、及びT568から1クロックの間、垂直走査開始／終了パルスが高レベルで印加される。さらに、走査開始部241に対しては、別途、端子Saを介して、T1から27クロックの間、垂直シフト開始パルスが高レベルで印加され、走査終了部246に対しても、別途、端子Esを介して、T541から28クロックの間、垂直シフト終了パルスが高レベルで印加される。

【0181】

ここで、一例として、図37(a)，(b)に示されるタイミングチャートに基づいて、T0からT28までにおいて、水平方向に1行走査する場合について説明する。

なお、垂直走査シフトレジスタ204は、パルス発生回路205から、第1垂直シフトパルス、第2垂直シフトパルス、及び垂直走査開始／終了パルスが高レベルで印加されて、パルス出力部204aを充電状態に遷移させ、パルス出力部104bを遮断状態に遷移させる(タイムT0)。さらに、第2垂直シフトパルスが低レベルで印加され、端子Saを介してパルス出力部204aに第1垂直シフト開始パルスが高レベルで印加されて、パルス出力部204aを出力状態に遷移させ、パルス出力部104bを充電状態に遷移させ、パルス出力部104bを遮断状態に遷移させる(タイムT1)。

【0182】

以下、T28まで、パルス出力部204aから垂直選択パルスが出力されているとする。また、T541まで、端子Esを介して走査終了部146に垂直シフト終了パルスが低レベルで印加されているとする。

図38は、動作例1に対して、実施の形態2における水平走査シフトレジスタの状態遷移を示す図である。なお、T4からT24までについての説明は省略する。

【0183】

同図にみられるように、水平走査シフトレジスタ203は、パルス発生回路205から、第1水平シフトパルス、第2水平シフトパルス、及び水平走査開始／終了パルスが高レベルで印加されて、パルス出力部203Aを充電状態に遷移させ、パルス出力部103Bを遮断状態に遷移させる（タイムT1）。さらに、第1水平シフトパルス、第2水平シフトパルス、及び水平走査開始／終了パルスが低レベルで印加され、端子SAを介して走査開始部231に水平シフト開始パルスが高レベルで印加されて、パルス出力部203Aを出力状態に遷移させ、パルス出力部103Bを充電状態に遷移させ、パルス出力部103Cを遮断状態に遷移させる（タイムT2）。さらに、第1水平シフトパルスおよび水平走査開始／終了パルスが低レベルで、第2水平シフトパルスが高レベルで印加され、端子SAを介して走査開始部231に水平シフト開始パルスが低レベルで印加されて、パルス出力部203Aを放電状態に遷移させ、パルス出力部103Bを出力状態に遷移させ、パルス出力部103Cを充電状態に遷移させ、パルス出力部103Dを遮断状態に遷移させる（タイムT3）。

【0184】

その後、水平走査シフトレジスタ203は、パルス発生回路205から、第1水平シフトパルスが低レベルで、第2水平シフトパルスが高レベルで印加され、端子EYを介して走査終了部236に電圧パルスが低レベルで印加されて、パルス出力部103Wを放電状態に遷移させ、パルス出力部103Xを出力状態に遷移させ、パルス出力部103Yを充電状態に遷移させる（タイムT25）。さらに、第1水平シフトパルスが高レベルで、第2水平シフトパルスが低レベルで印加され、端子EYを介して走査終了部236に水平シフト終了パルスが高レベル

で印加されて、パルス出力部 103 X を放電状態に遷移させ、パルス出力部 103 Y を出力状態に遷移させる (タイム T26)。そして、第 1 水平シフトパルスが低レベルで、第 2 水平シフトパルスおよび水平走査開始/終了パルスが高レベルで印加され、端子 E Y を介して走査終了部 236 に水平シフト終了パルスが高レベルで印加されて、パルス出力部 103 Y を放電状態に遷移させる (タイム T27)。

【0185】

以上、パルス出力部 203 A からパルス出力部 103 Y まで、水平選択パルスが出力され、画素部 101 A a - 101 Y a が走査される。そして、パルス出力部 104 b - 104 s に対しても、同様に、水平走査シフトレジスタ 203 から水平選択パルスが出力されることにより、走査領域 A が走査される。

<実施の形態 2 における動作例 2>

図 39 (a), (b) は、実施の形態 2 において走査領域 B に対して走査する際に、水平走査シフトレジスタおよび垂直走査シフトレジスタにパルス発生回路から印加される電圧パルスのタイミングチャートを示す図である。なお、図 39 (a) は、走査を開始する際のタイミングチャートであり、図 39 (b) は、走査を終了する際のタイミングチャートである。

【0186】

図 39 (a), (b) にみられるように、上から順に、クロック、端子 H1, H2, HIN, SE, EU, V1, V2, VIN, Sd, Ep のそれぞれを介して、パルス発生回路 205 から水平走査シフトレジスタ 203 および垂直走査シフトレジスタ 204 の構成要素に印加される電圧パルスが示されている。

具体的には、水平走査シフトレジスタ 203 の構成要素に対しては、端子 H1 を介して、T0 から 2 クロックの周期で 1 クロックの間、第 1 水平シフトパルスが高レベルで印加され、端子 H2 を介して、T1 から 2 クロックの周期で 1 クロックの間、第 2 水平シフトパルスが高レベルで印加される。また、端子 HIN を介して、T1 および T19 から 22 クロックの周期で 1 クロックの間、水平走査開始/終了パルスが高レベルで印加される。さらに、走査開始部 232 に対しては、別途、端子 SE を介して、T1 から 22 クロックの周期で 1 クロックの間、

水平シフト開始パルスが高レベルで印加され、走査終了部 235 に対しても、別途、端子 EU を介して、T18 から 22 クロックの周期で 2 クロックの間、水平シフト終了パルスが高レベルで印加される。

【0187】

同様に、垂直走査シフトレジスタ 204 の構成要素に対しては、端子 V1 を介して、T0 から 1 クロックの間および T23 から 44 クロックの周期で 19 クロックの間、第 1 垂直シフトパルスが高レベルで印加され、端子 V2 を介して、T1 から 44 クロックの周期で 19 クロックの間、電圧パルスが高レベルで印加される。また、端子 VIN を介して、T0 および T284 から 1 クロックの間、垂直走査開始／終了パルスが高レベルで印加される。さらに、走査開始部 242 に対しては、別途、端子 Sd を介して、T0 から 1 クロックの間、垂直シフト開始パルスが高レベルで印加され、走査終了部 145 に対しても、別途、端子 Ep を介して、T265 から 20 クロックの間、垂直シフト終了パルスが高レベルで印加される。

【0188】

ここで、一例として、図 39 (a), (b) に示されるタイミングチャートに基づいて、T0 から T20 までにおいて、水平方向に 1 行走査する場合について説明する。

なお、垂直走査シフトレジスタ 204 は、パルス発生回路 205 から、第 1 垂直シフトパルスおよび垂直走査開始／終了パルスが高レベルで、第 2 垂直シフトパルスが低レベルで印加され、端子 Sd を介して走査開始部 242 に水平シフト開始パルスが高レベルで印加されて、パルス出力部 104d を充電状態に遷移させ、パルス出力部 204e を遮断状態に遷移させる（タイム T0）。さらに、第 1 垂直シフトパルスおよび垂直走査開始／終了パルスが低レベルで、第 2 垂直シフトパルスが高レベルで印加され、端子 Sd を介して走査開始部 242 に電圧パルスが低レベルで印加されて、パルス出力部 104d が出力状態に遷移し、パルス出力部 104e が充電状態に遷移し、パルス出力部 104f が遮断状態に遷移する（タイム T1）。

【0189】

以下、T 2 0 まで、パルス出力部 1 0 4 d から垂直選択パルスが出力されているとする。また、T 2 6 5 まで、端子 E p を介して走査終了部 2 4 5 に垂直シフト終了パルスが低レベルで印加されているとする。

図 4 0 は、動作例 2 に対して、実施の形態 2 における水平走査シフトレジスタの状態遷移を示す図である。なお、T 4 から T 1 6 までについての説明は省略する。

【 0 1 9 0 】

同図にみられるように、水平走査シフトレジスタ 2 0 3 は、パルス発生回路 2 0 5 から、第 1 水平シフトパルスが低レベルで、第 2 水平シフトパルスおよび水平走査開始／終了パルスが高レベルで印加され、端子 S E を介して走査開始部 2 3 2 に水平シフト開始パルスが高レベルで印加されて、パルス出力部 1 0 3 E を充電状態に遷移させ、パルス出力部 1 0 3 F を遮断状態に遷移させる（タイム T 1）。さらに、第 1 水平シフトパルスが高レベルで、第 2 水平シフトパルス、水平走査開始／終了パルス、及び水平シフト開始パルスが低レベルで印加されて、パルス出力部 1 0 3 E を出力状態に遷移させ、パルス出力部 1 0 3 F を充電状態に遷移させ、パルス出力部 1 0 3 G を遮断状態に遷移させる（タイム T 2）。さらに、第 1 水平シフトパルスが低レベルで、第 2 水平シフトパルスが高レベルで印加されて、パルス出力部 1 0 3 E を放電状態に遷移させ、パルス出力部 1 0 3 F を出力状態に遷移させ、パルス出力部 1 0 3 G を充電状態に遷移させ、パルス出力部 1 0 3 H を遮断状態に遷移させる（タイム T 3）。

【 0 1 9 1 】

その後、水平走査シフトレジスタ 2 0 3 は、パルス発生回路 2 0 5 から、第 1 水平シフトパルスが低レベルで、第 2 水平シフトパルスが高レベルで印加されて、パルス出力部 1 0 3 S を放電状態に遷移させ、パルス出力部 1 0 3 T を出力状態に遷移させ、パルス出力部 1 0 3 U を充電状態に遷移させ、パルス出力部 1 0 3 V を遮断状態に遷移させる（タイム T 1 7）。さらに、第 1 水平シフトパルスが高レベルで、第 2 水平シフトパルスが低レベルで印加され、端子 E U を介して走査終了部 2 3 5 に水平シフト終了パルスが高レベルで印加されて、パルス出力部 1 0 3 T を放電状態に遷移させ、パルス出力部 1 0 3 U を出力状態に遷移させ

、パルス出力部 103V を遮断状態に遷移させる（タイム T18）。そして、第 1 水平シフトパルスが低レベルで、第 2 水平シフトパルス、水平走査開始／終了パルスが高レベルで印加されて、パルス出力部 103U を放電状態に遷移させ、パルス出力部 103V を遮断状態に遷移させる（タイム T19）。

【0192】

以上、パルス出力部 103E からパルス出力部 103U まで、水平選択パルスが出力され、画素部 101Ed－101Ud が走査される。そして、パルス出力部 104e－104p に対しても、同様に、水平走査シフトレジスタ 203 から水平選択パルスが出力されることにより、走査領域 B が走査される。

<実施の形態 2 における動作例 3>

図 41（a）、（b）は、実施の形態 2 において走査領域 C に対して走査する際に、水平走査シフトレジスタおよび垂直走査シフトレジスタにパルス発生回路から印加される電圧パルスのタイミングチャートを示す図である。なお、図 41（a）は、走査を開始する際のタイミングチャートであり、図 41（b）は、走査を終了する際のタイミングチャートである。

【0193】

図 41（a）、（b）にみられるように、上から順に、クロック、端子 H1、H2、HIN、SI、EQ、V1、V2、VIN、Sg、Em のそれぞれを介して、パルス発生回路 205 から水平走査シフトレジスタ 203 および垂直走査シフトレジスタ 204 の構成要素に印加される電圧パルスが示されている。

具体的には、水平走査シフトレジスタ 203 の構成要素に対しては、端子 H1 を介して、T0 から 2 クロックの周期で 1 クロックの間、第 1 水平シフトパルスが高レベルで印加され、端子 H2 を介して、T1 から 2 クロックの周期で 1 クロックの間、第 2 水平シフトパルスが高レベルで印加される。また、端子 HIN を介して、T2、及び T11 から 14 クロックの周期で 1 クロックの間、水平走査開始／終了パルスが高レベルで印加される。さらに、走査開始部 233 に対しては、別途、端子 SI を介して、T2 から 14 クロックの周期で 1 クロックの間、水平シフト開始パルスが高レベルで印加され、走査終了部 234 に対しても、別途、端子 EQ を介して、T10 から 14 クロックの周期で 2 クロックの間、水平

シフト終了パルスが高レベルで印加される。

【0194】

同様に、垂直走査シフトレジスタ204の構成要素に対しては、端子V1を介して、T1から28クロックの周期で11クロックの間、第1垂直シフトパルスが高レベルで印加され、端子V2を介して、T0から1クロックの間およびT15から28クロックの周期で11クロックの間、第2垂直シフトパルスが高レベルで印加される。さらに、走査開始部243に対しては、別途、端子Sgを介して、T0から1クロックの間、垂直シフト開始パルスが高レベルで印加され、走査終了部244に対しても、別途、端子Emを介して、T85から12クロックの間、垂直シフト終了パルスが高レベルで印加される。

【0195】

ここで、一例として、図41(a)，(b)に示されるタイミングチャートに基づいて、T0からT12までにおいて、水平方向に1行走査する場合について説明する。

なお、垂直走査シフトレジスタ204は、パルス発生回路205から、第1垂直シフトパルスが低レベルで、第2垂直シフトパルスおよび垂直走査開始／終了パルスが高レベルで印加され、端子Sgを介して走査開始部243に垂直シフト開始パルスが高レベルで印加されて、パルス出力部104gを充電状態に遷移させ、パルス出力部104hを遮断状態に遷移させる(タイムT0)。さらに、第1垂直シフトパルスが高レベルで、第2垂直シフトパルスおよび垂直走査開始／終了パルスが低レベルで印加され、端子Sgを介して走査開始部243に垂直シフト開始パルスが低レベルで印加されて、パルス出力部104gを出力状態に遷移させ、パルス出力部104hを充電状態に遷移させ、パルス出力部104iを遮断状態に遷移させる(タイムT1)。

【0196】

以下、T12まで、パルス出力部104gから垂直選択パルスが出力されているとする。また、T84まで、端子Emを介して走査終了部244に垂直シフト終了パルスが低レベルで印加されているとする。

図42は、動作例3に対して、実施の形態2における水平走査シフトレジスタ

の状態遷移を示す図である。なお、T4からT8までについての説明は省略する。

【0197】

同図にみられるように、水平走査シフトレジスタ203は、パルス発生回路205から、第1水平シフトパルスおよび水平走査開始／終了パルスが高レベルで、第2水平シフトパルスが低レベルで印加され、端子SIを介して走査開始部233に水平シフト開始パルスが高レベルで印加されて、パルス出力部103Iを出力状態に遷移させ、パルス出力部103Jを充電状態に遷移させ、パルス出力部103Kを遮断状態に遷移させる（タイムT2）。さらに、第1水平シフトパルスおよび水平走査開始／終了パルスが低レベルで、第2水平シフトパルスが高レベルで、端子SIを介して走査開始部233に水平シフト開始パルスが低レベルで印加されて、パルス出力部103Iを放電状態に遷移させ、パルス出力部103Jを出力状態に遷移させ、パルス出力部103Kを充電状態に遷移させ、パルス出力部103Lを遮断状態に遷移させる（タイムT3）。

【0198】

その後、水平走査シフトレジスタ203は、パルス発生回路205から、第1水平シフトパルスが低レベルで、第2水平シフトパルスが高レベルで印加されて、パルス出力部103Oを放電状態に遷移させ、パルス出力部103Pを出力状態に遷移させ、パルス出力部103Qを充電状態に遷移させ、パルス出力部103Rを遮断状態に遷移させる（タイムT9）。さらに、第1水平シフトパルスが高レベルで、第2水平シフトパルスが低レベルで印加され、端子EQを介して走査終了部234に垂直シフト終了パルスが高レベルで印加されて、パルス出力部103Pを放電状態に遷移させ、パルス出力部103Qを出力状態に遷移させ、パルス出力部103Rを遮断状態に遷移させる（タイムT10）。そして、第1水平シフトパルスが低レベルで、第2水平シフトパルスおよび水平走査開始／終了パルスが高レベルで印加され、端子EQを介して走査終了部234に水平シフト終了パルスが高レベルで印加されて、パルス出力部103Qを放電状態に遷移させる（タイムT11）。

【0199】

以上、パルス出力部 103 I からパルス出力部 103 Q まで、水平選択パルスが出力され、画素部 101 I_g - 101 Q_g が走査される。同様に、パルス出力部 104 h - 104 m に対しても、水平走査シフトレジスタ 203 から水平選択パルスが出力されることにより、走査領域 C が走査される。

<実施の形態 2 のまとめ>

以上、水平走査シフトレジスタ 203 および垂直走査シフトレジスタ 204 は、水平選択パルス、及び垂直選択パルスを出力し、切替部 102 を構成する水平 MOS トランジスタ T_{r15A} - T_{r15Y} のゲートに水平選択パルスを印加し、受光部 101 を構成する垂直 MOS トランジスタ T_{r11Aa} - T_{r11Ys} のゲートに垂直選択パルスを印加して、信号電荷を読み出す画素部を順番に選択する。そして、選択した画素部のフォトダイオードに蓄積されている信号電荷を読み出し、読み出した信号電荷を、垂直信号線 109 A - 109 Y を介して切替部 102 に出力する。

【0200】

そして、このとき、パルス発生回路 205 から印加される電圧パルスに応じて、水平選択パルスが印加される水平 MOS トランジスタ、及び垂直選択パルスが印加される垂直 MOS トランジスタが制限される。

<その他>

なお、実施の形態 1 における、走査開始／終了部 132（又は 135 など）と、パルス出力部 103 E（又は 103 V など）とを交互に組み合わせてシフトレジスタを構成するとしてもよい。

【0201】

なお、実施の形態 2 において、4 つの電圧パルスから 2 つの電圧パルスの組み合わせに応じて、それぞれ個別に走査を開始する 6 つの走査開始部を設けて、6 カ所の開始位置から受光部を走査するとしてもよい。

なお、シフトレジスタは、n チャンネルおよび p チャンネルのいずれか一つのチャンネルの MOS トランジスタで構成されているとしてもよい。

【0202】

なお、水平走査シフトレジスタおよび垂直走査シフトレジスタのいずれか一つが、実施の形態 1（又は実施の形態 2）におけるシフトレジスタ（並列入力・並列出力のシフトレジスタ）であり、他が、従来におけるシフトレジスタ（直列入力・並列出力のシフトレジスタ）であるとしてもよい。

なお、受光部が 1 次元であるならば、実施の形態 1（又は実施の形態 2）におけるシフトレジスタ（並列入力・並列出力のシフトレジスタ）で 1 次元の受光部を走査するとしてもよい。

【0 2 0 3】

【発明の効果】

以上のように、本発明に係わる固体撮像素子は、受光部に結像された画像の一部の領域を撮像する際でも、一旦、全領域に渡って走査して読み出した信号電荷を、画像データとしてメモリに記憶して、メモリに記憶した画像データから一部の領域を抜き出した画像データを生成するのではなく、撮像する領域に制限して走査することにより、走査に要する時間を短縮する。

【0 2 0 4】

そして、これにより、一部の領域を撮像する際でも、走査に要する時間は、全領域に渡って撮像する際と変わらないという問題を解決することが可能という効果がある。

【図面の簡単な説明】

【図 1】

実施の形態 1 における固体撮像素子の構成を示す機能ブロック図である。

【図 2】

実施の形態 1 における水平走査シフトレジスタの構成を示す機能ブロック図その 1 である。

【図 3】

実施の形態 1 における水平走査シフトレジスタの構成を示す機能ブロック図その 2 である。

【図 4】

実施の形態 1 における水平走査シフトレジスタの構成を示す機能ブロック図そ

の 3 である。

【図 5】

一例として、実施の形態 1 における水平走査シフトレジスタの構成を示す回路図その 1 である。

【図 6】

一例として、実施の形態 1 における水平走査シフトレジスタの構成を示す回路図その 2 である。

【図 7】

一例として、実施の形態 1 における水平走査シフトレジスタの構成を示す回路図その 3 である。

【図 8】

一例として、実施の形態 1 における水平走査シフトレジスタの構成を示す回路図その 4 である。

【図 9】

実施の形態 1 における垂直走査シフトレジスタの構成を示す機能ブロック図その 1 である。

【図 1 0】

実施の形態 1 における垂直走査シフトレジスタの構成を示す機能ブロック図その 2 である。

【図 1 1】

実施の形態 1 における垂直走査シフトレジスタの構成を示す機能ブロック図その 3 である。

【図 1 2】

一例として、実施の形態 1 における垂直走査シフトレジスタの構成を示す回路図その 1 である。

【図 1 3】

一例として、実施の形態 1 における垂直走査シフトレジスタの構成を示す回路図その 2 である。

【図 1 4】

一例として、実施の形態 1 における垂直走査シフトレジスタの構成を示す回路図その 3 である。

【図 15】

一例として、実施の形態 1 における垂直走査シフトレジスタの構成を示す回路図その 4 である。

【図 16】

(a), (b) は、実施の形態 1 において走査領域 A に対して走査する際に、水平走査シフトレジスタおよび垂直走査シフトレジスタに、パルス発生回路から印加される電圧パルスのタイミングチャートを示す図である。

【図 17】

動作例 1 に対して、実施の形態 1 における水平走査シフトレジスタの状態遷移を示す図である。

【図 18】

(a), (b) は、実施の形態 1 において走査領域 B に対して走査する際に、水平走査シフトレジスタおよび垂直走査シフトレジスタに、パルス発生回路から印加される電圧パルスのタイミングチャートを示す図である。

【図 19】

動作例 2 に対して、実施の形態 1 における水平走査シフトレジスタの状態遷移を示す図である。

【図 20】

(a), (b) は、実施の形態 1 において走査領域 C に対して走査する際に、水平走査シフトレジスタおよび垂直走査シフトレジスタに、パルス発生回路から印加される電圧パルスのタイミングチャートを示す図である。

【図 21】

動作例 3 に対して、実施の形態 1 における水平走査シフトレジスタの状態遷移を示す図である。

【図 22】

実施の形態 2 における固体撮像素子の構成を示す機能ブロック図である。

【図 23】

実施の形態 2 における水平走査シフトレジスタの構成を示す機能ブロック図その 1 である。

【図 2 4】

実施の形態 2 における水平走査シフトレジスタの構成を示す機能ブロック図その 2 である。

【図 2 5】

実施の形態 2 における水平走査シフトレジスタの構成を示す機能ブロック図その 3 である。

【図 2 6】

一例として、実施の形態 2 における水平走査シフトレジスタの構成を示す回路図その 1 である。

【図 2 7】

一例として、実施の形態 2 における水平走査シフトレジスタの構成を示す回路図その 2 である。

【図 2 8】

一例として、実施の形態 2 における水平走査シフトレジスタの構成を示す回路図その 3 である。

【図 2 9】

一例として、実施の形態 2 における水平走査シフトレジスタの構成を示す回路図その 4 である。

【図 3 0】

実施の形態 2 における垂直走査シフトレジスタの構成を示す機能ブロック図その 1 である。

【図 3 1】

実施の形態 2 における垂直走査シフトレジスタの構成を示す機能ブロック図その 2 である。

【図 3 2】

実施の形態 2 における垂直走査シフトレジスタの構成を示す機能ブロック図その 3 である。

【図 3 3】

一例として、実施の形態 2 における垂直走査シフトレジスタの構成を示す回路図その 1 である。

【図 3 4】

一例として、実施の形態 2 における垂直走査シフトレジスタの構成を示す回路図その 2 である。

【図 3 5】

一例として、実施の形態 2 における垂直走査シフトレジスタの構成を示す回路図その 3 である。

【図 3 6】

一例として、実施の形態 2 における垂直走査シフトレジスタの構成を示す回路図その 4 である。

【図 3 7】

(a), (b) は、実施の形態 2 において走査領域 A に対して走査する際に、水平走査シフトレジスタおよび垂直走査シフトレジスタに、パルス発生回路から印加される電圧パルスのタイミングチャートを示す図である。

【図 3 8】

動作例 1 に対して、実施の形態 2 における水平走査シフトレジスタの状態遷移を示す図である。

【図 3 9】

(a), (b) は、実施の形態 2 において走査領域 B に対して走査する際に、水平走査シフトレジスタおよび垂直走査シフトレジスタに、パルス発生回路から印加される電圧パルスのタイミングチャートを示す図である。

【図 4 0】

動作例 2 に対して、実施の形態 2 における水平走査シフトレジスタの状態遷移を示す図である。

【図 4 1】

(a), (b) は、実施の形態 2 において走査領域 C に対して走査する際に、水平走査シフトレジスタおよび垂直走査シフトレジスタに、パルス発生回路から

印加される電圧パルスのタイミングチャートを示す図である。

【図 4 2】

動作例 3 に対して、実施の形態 2 における水平走査シフトレジスタの状態遷移を示す図である。

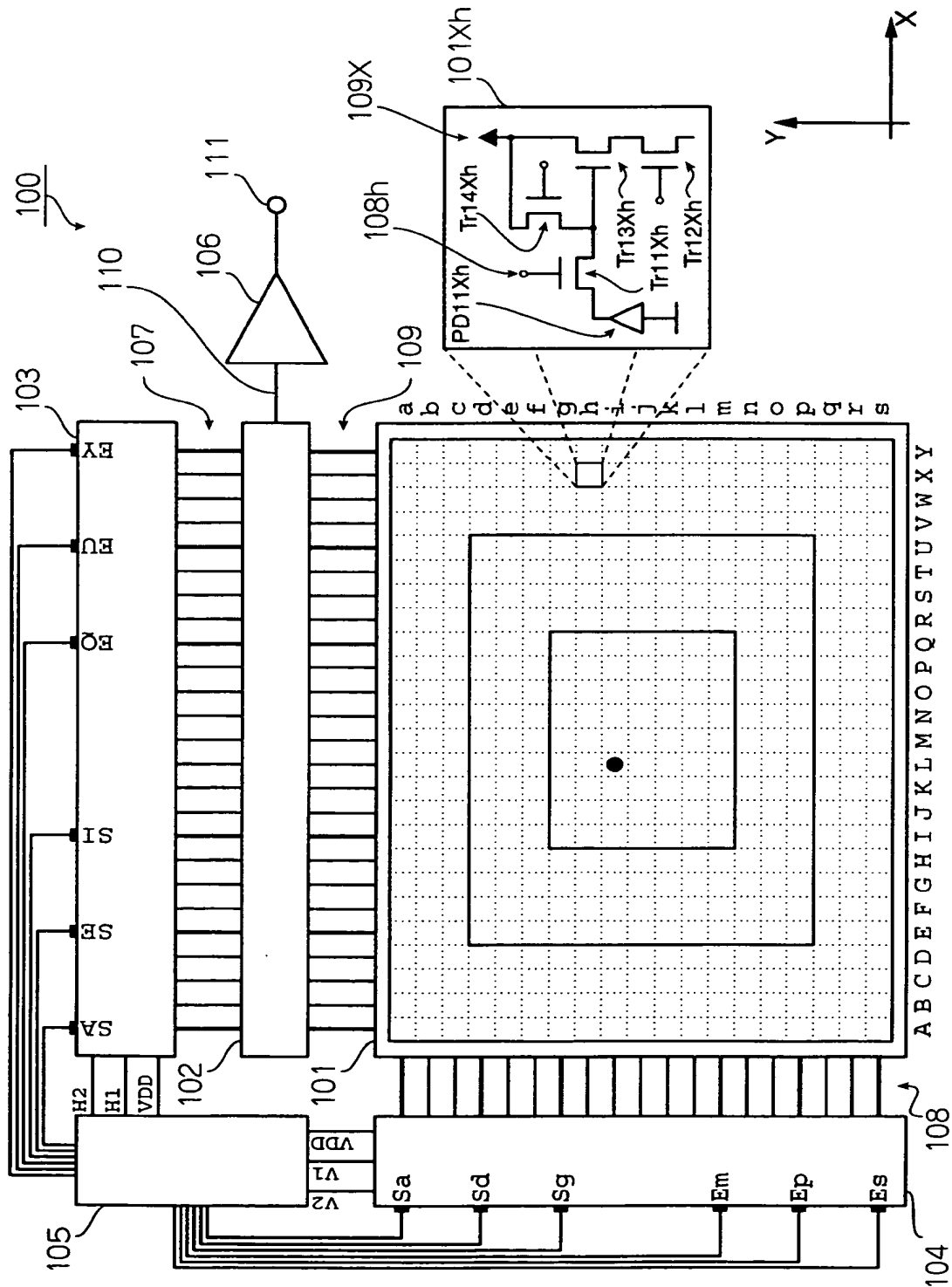
【符号の説明】

- 1 0 0 固体撮像素子
- 1 0 1 受光部
- 1 0 2 切替部
- 1 0 3 水平走査シフトレジスタ
- 1 0 4 垂直走査シフトレジスタ
- 1 0 5 パルス発生回路
- 1 0 6 増幅部
- 1 0 7 水平選択線群
- 1 0 8 垂直選択線群
- 1 0 9 垂直信号線群
- 1 1 0 水平信号線
- 1 1 1 出力端子
- 1 0 1 A a - 1 0 1 Y s 画素部
- 1 3 1 走査開始部
- 1 3 2 - 1 3 5 走査開始／終了部
- 1 3 6 走査終了部
- 1 0 3 A - 1 0 3 Y パルス出力部
- 1 0 7 A - 1 0 7 Y 水平選択線
- 1 0 9 A - 1 0 9 Y 垂直信号線
- 1 4 1 走査開始部
- 1 4 2 - 1 4 5 走査開始／終了部
- 1 4 6 走査終了部
- 1 0 4 a - 1 0 4 s パルス出力部
- 1 0 8 a - 1 0 8 s 垂直選択線

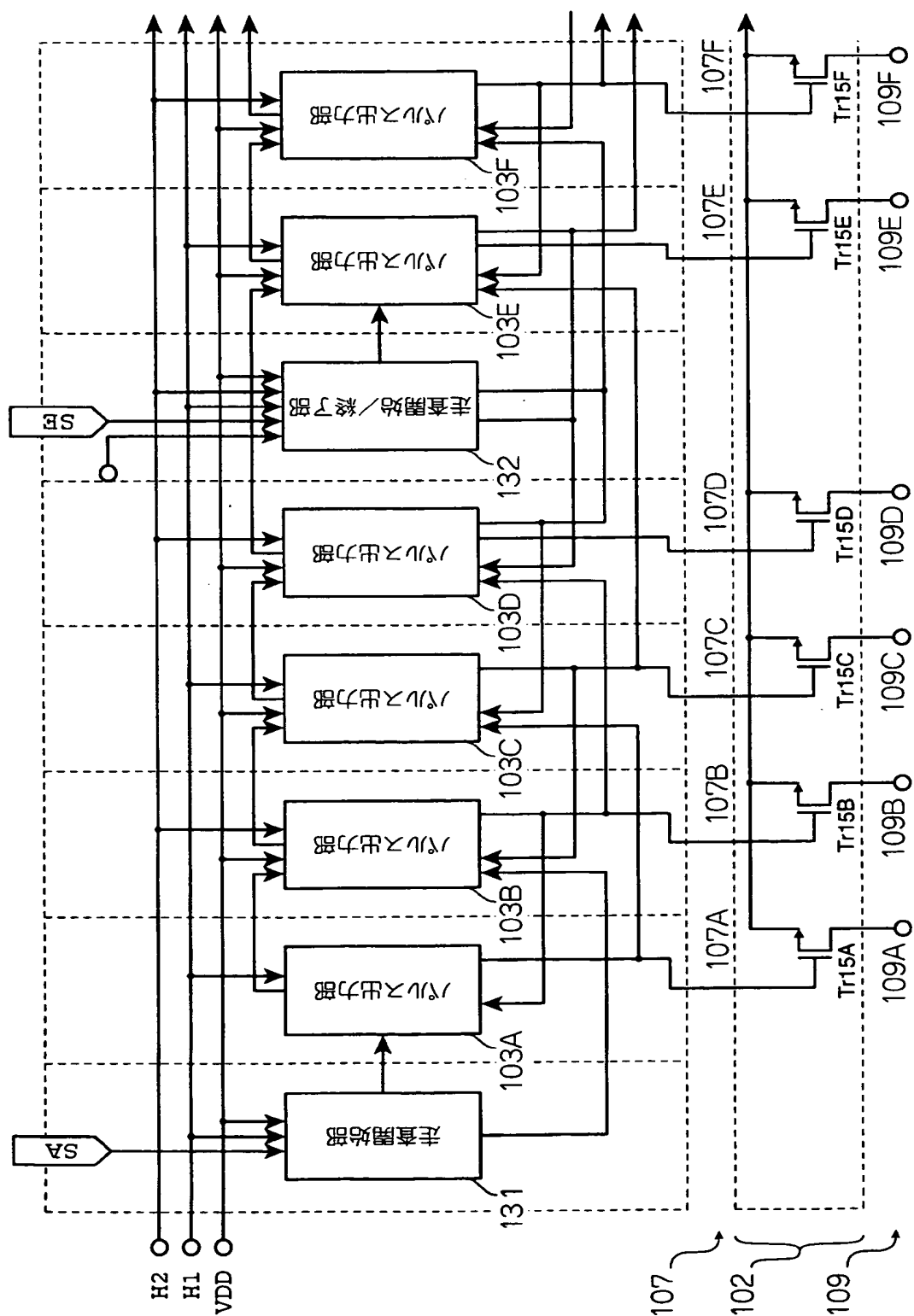
- 2 0 0 固体撮像素子
- 2 0 3 水平走査シフトレジスタ
- 2 0 4 垂直走査シフトレジスタ
- 2 0 5 パルス発生回路
- 2 3 1 - 2 3 3 走査開始部
- 2 3 4 - 2 3 6 走査終了部
- 2 4 1 - 2 4 3 走査開始部
- 2 4 4 - 2 4 6 走査終了部

【書類名】 図面

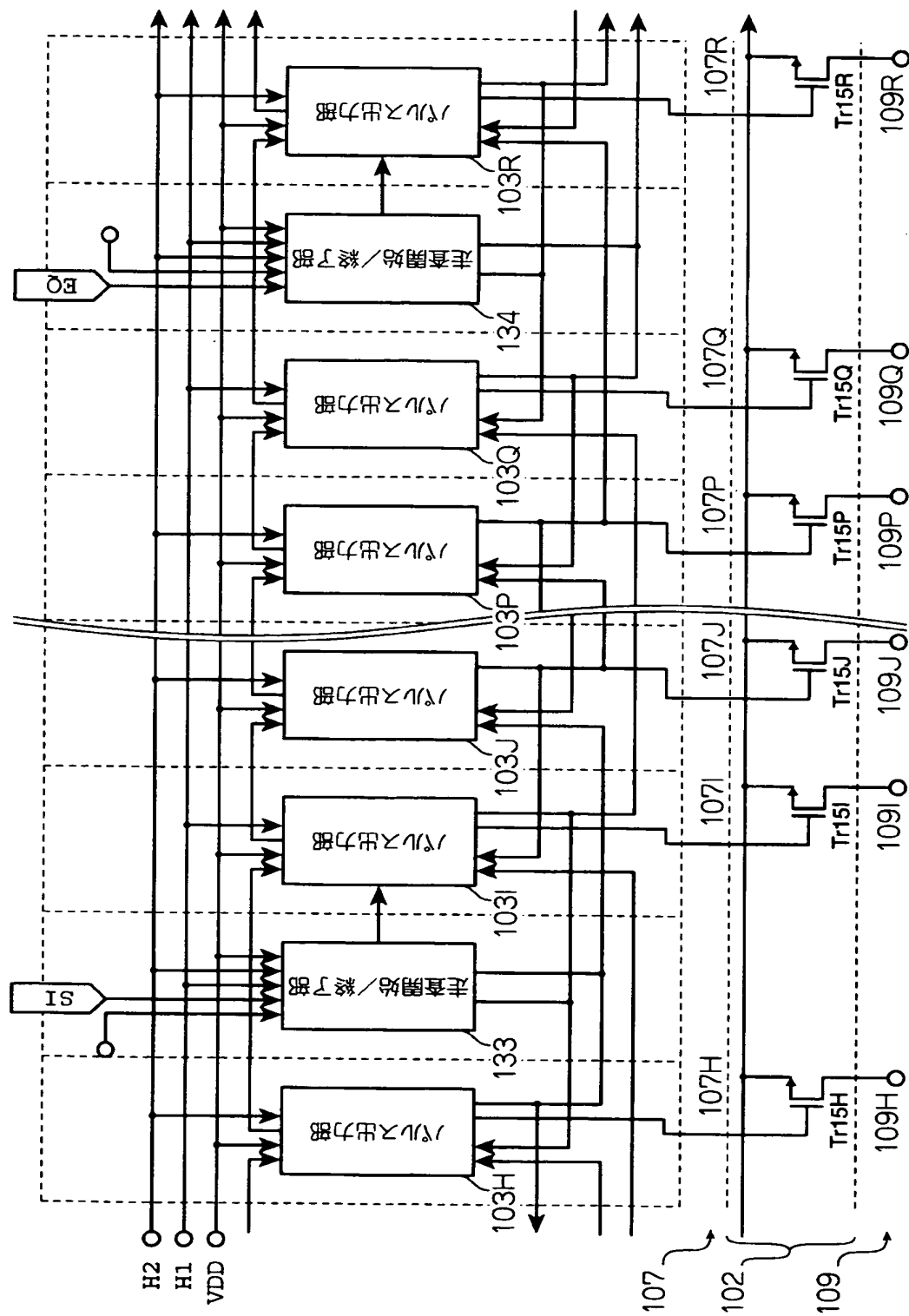
【図 1】



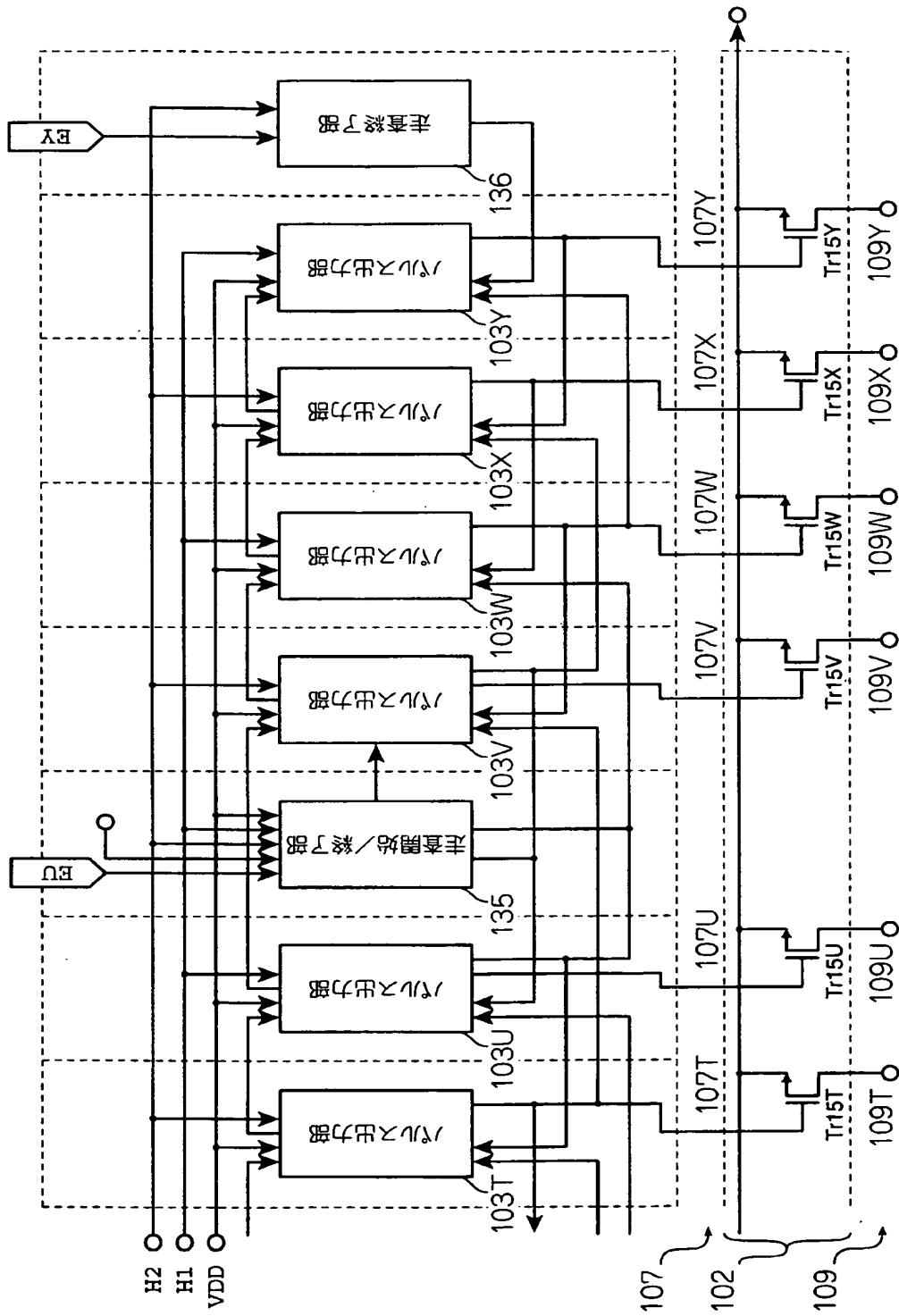
【図 2】



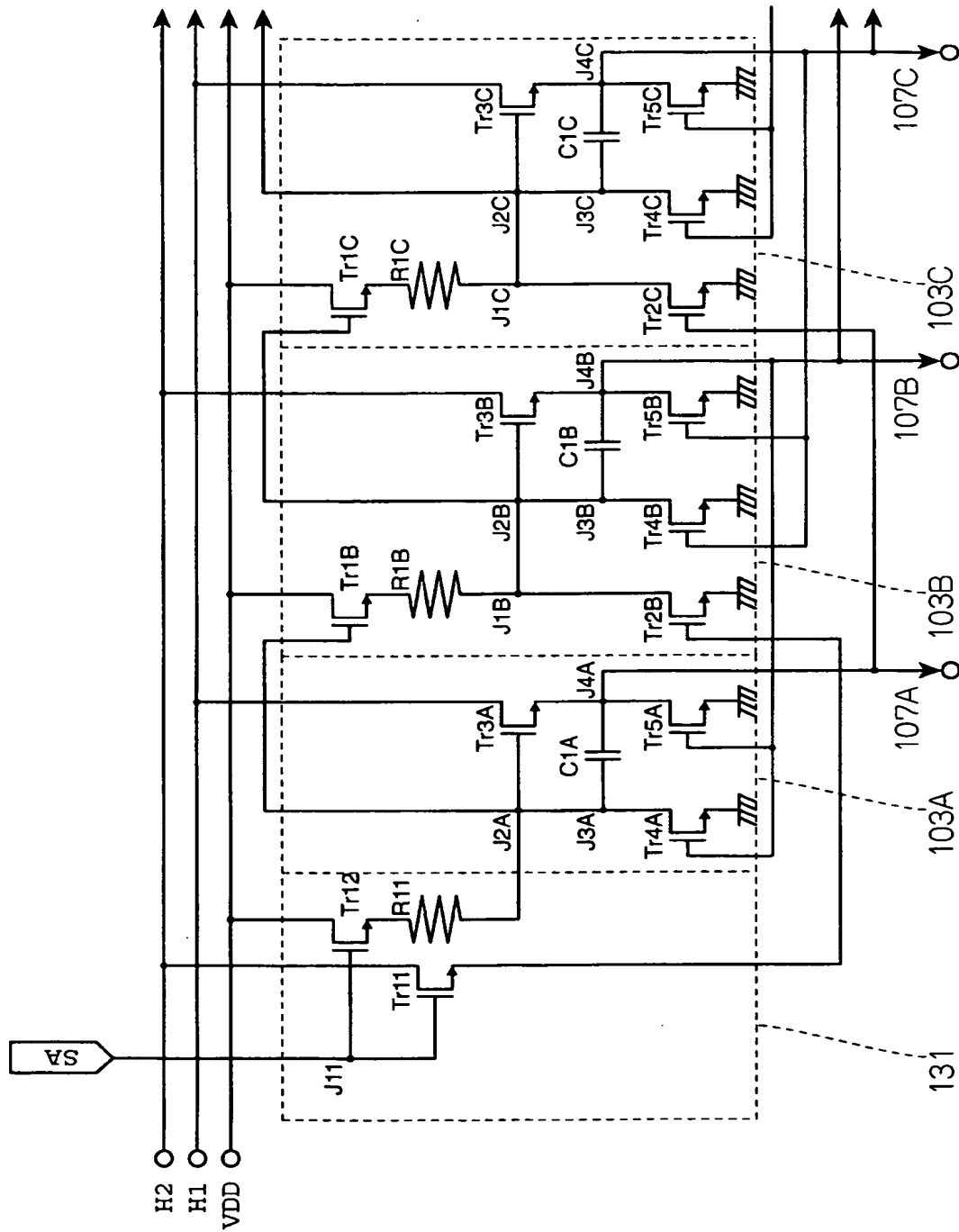
【図 3】



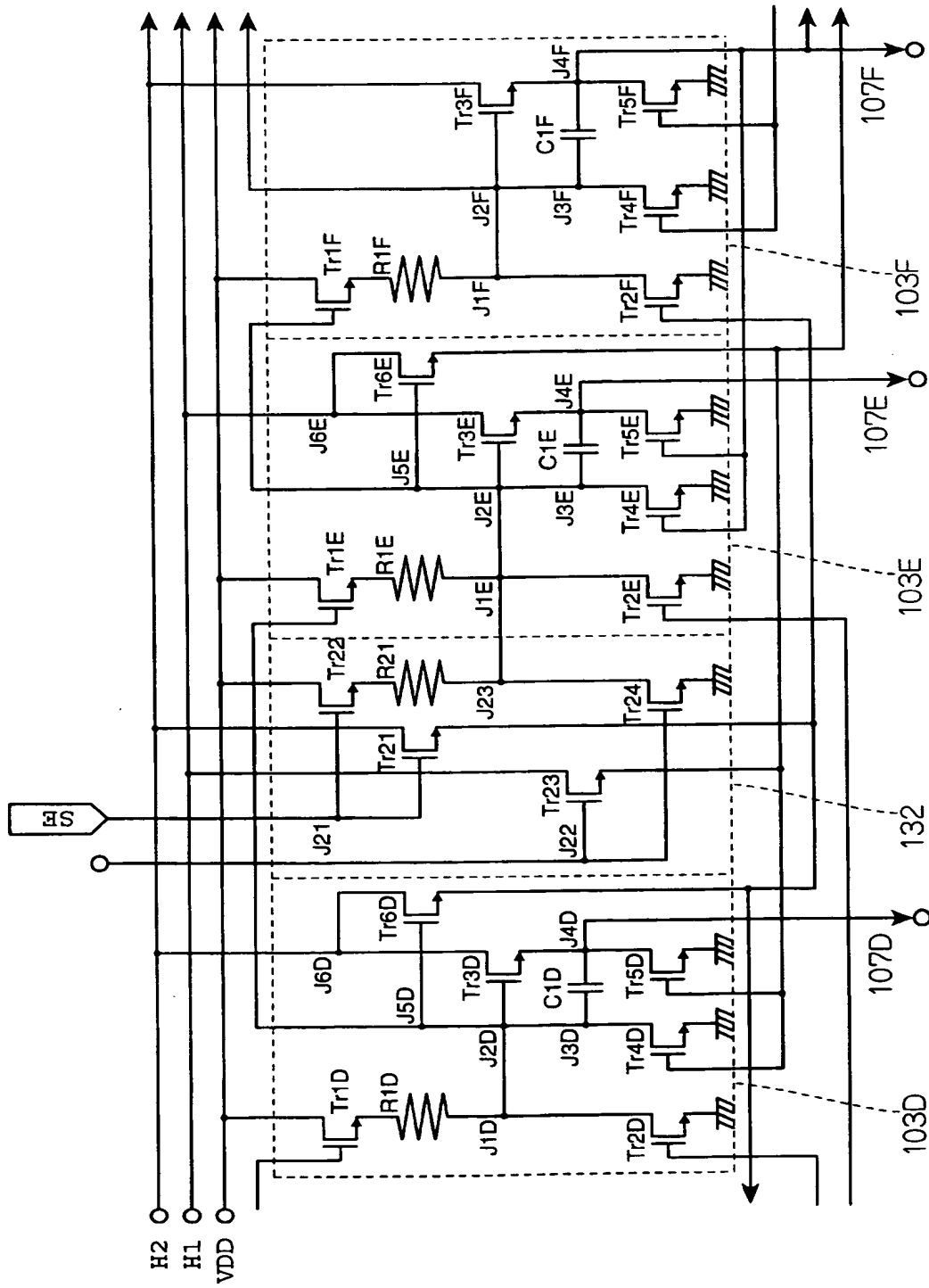
【図 4】



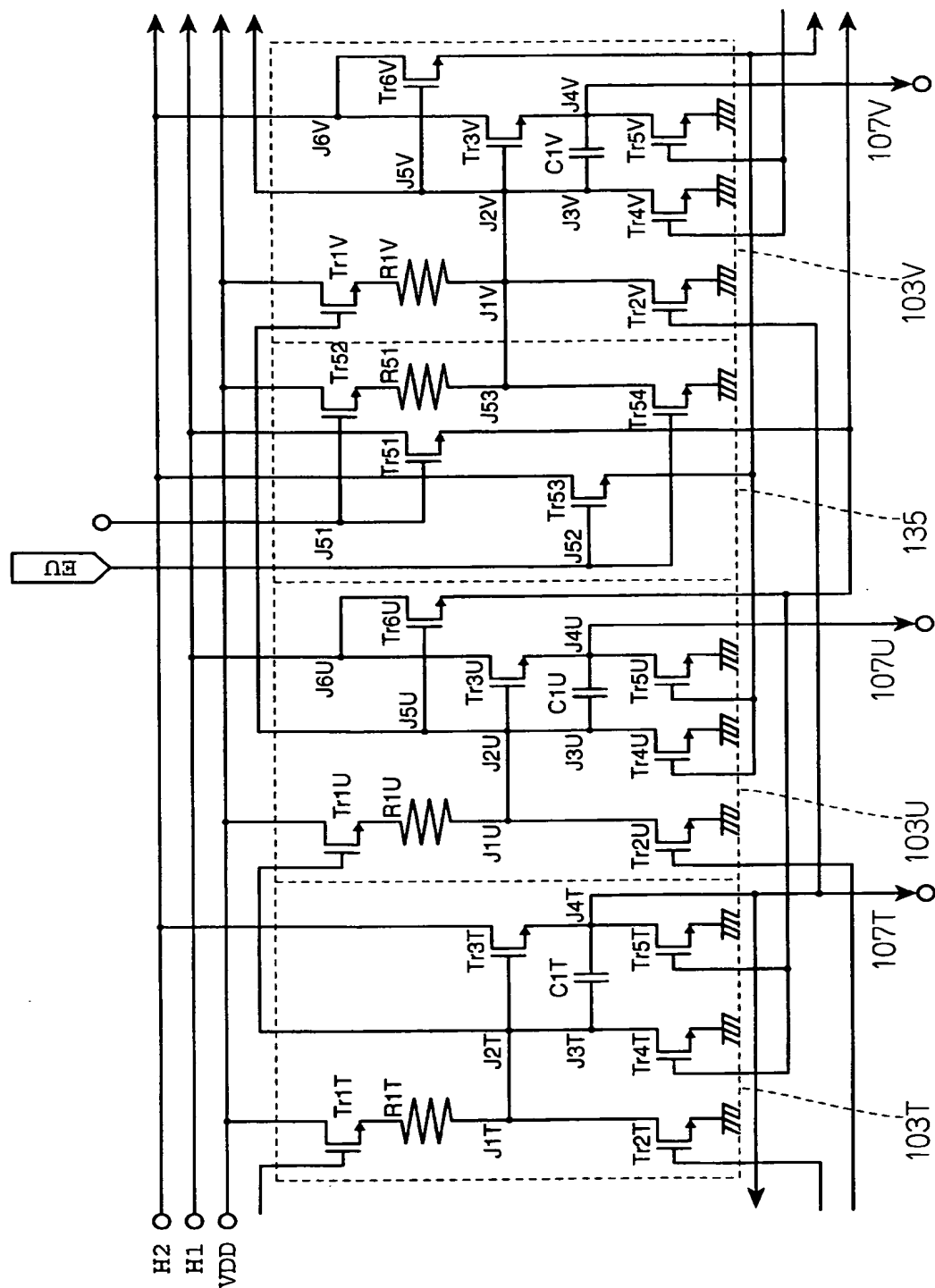
【図 5】



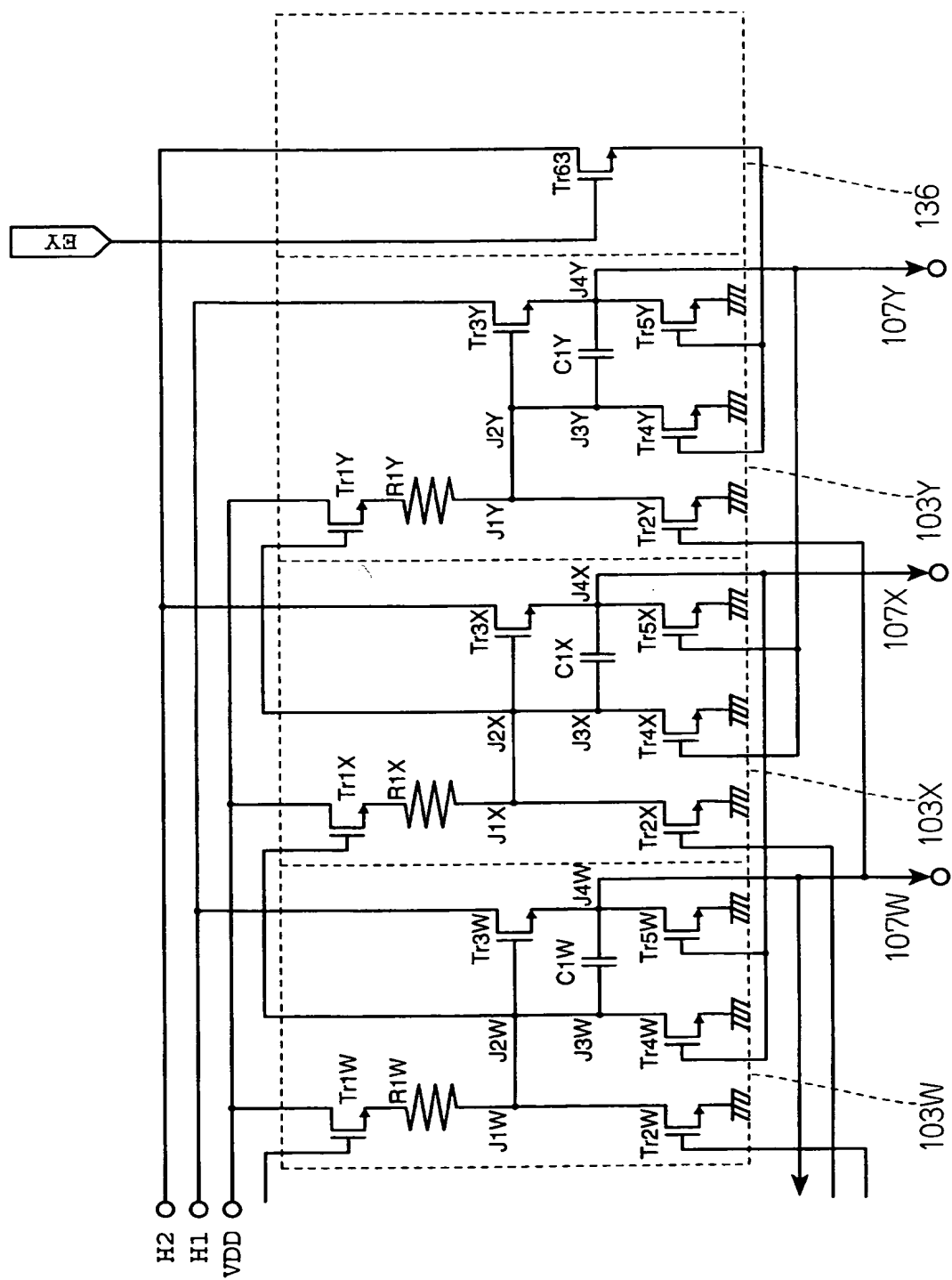
【図 6】



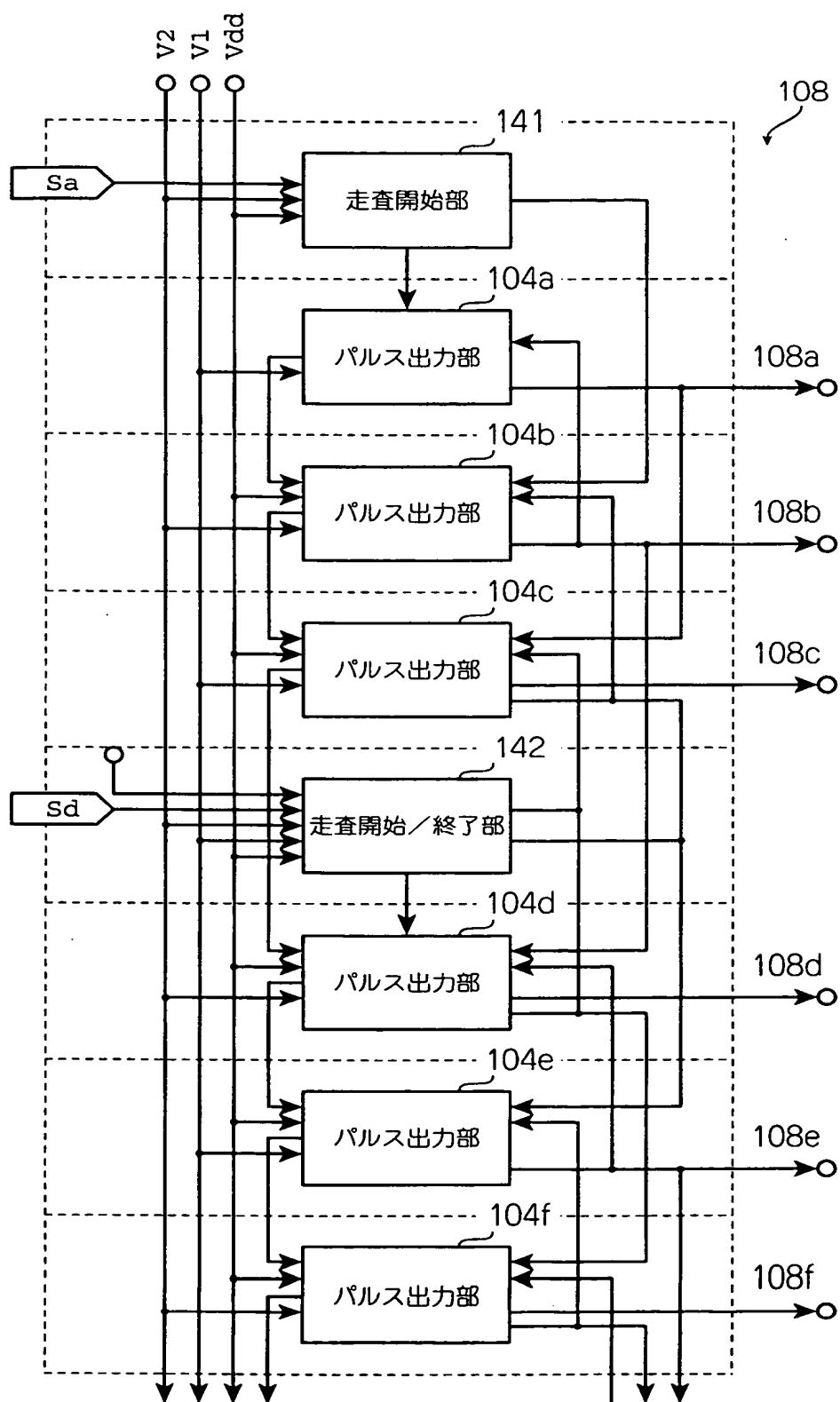
【図 7】



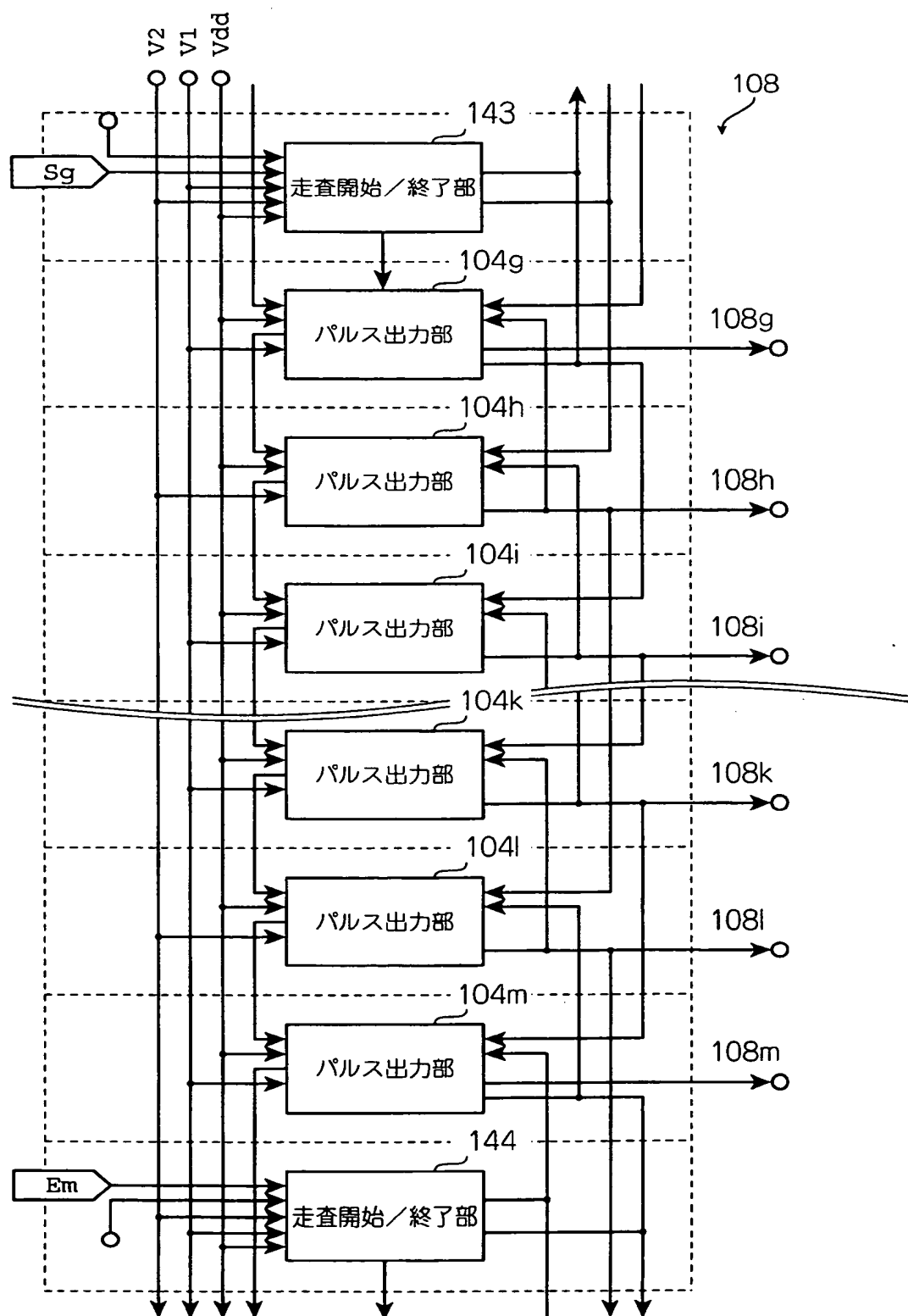
【図 8】



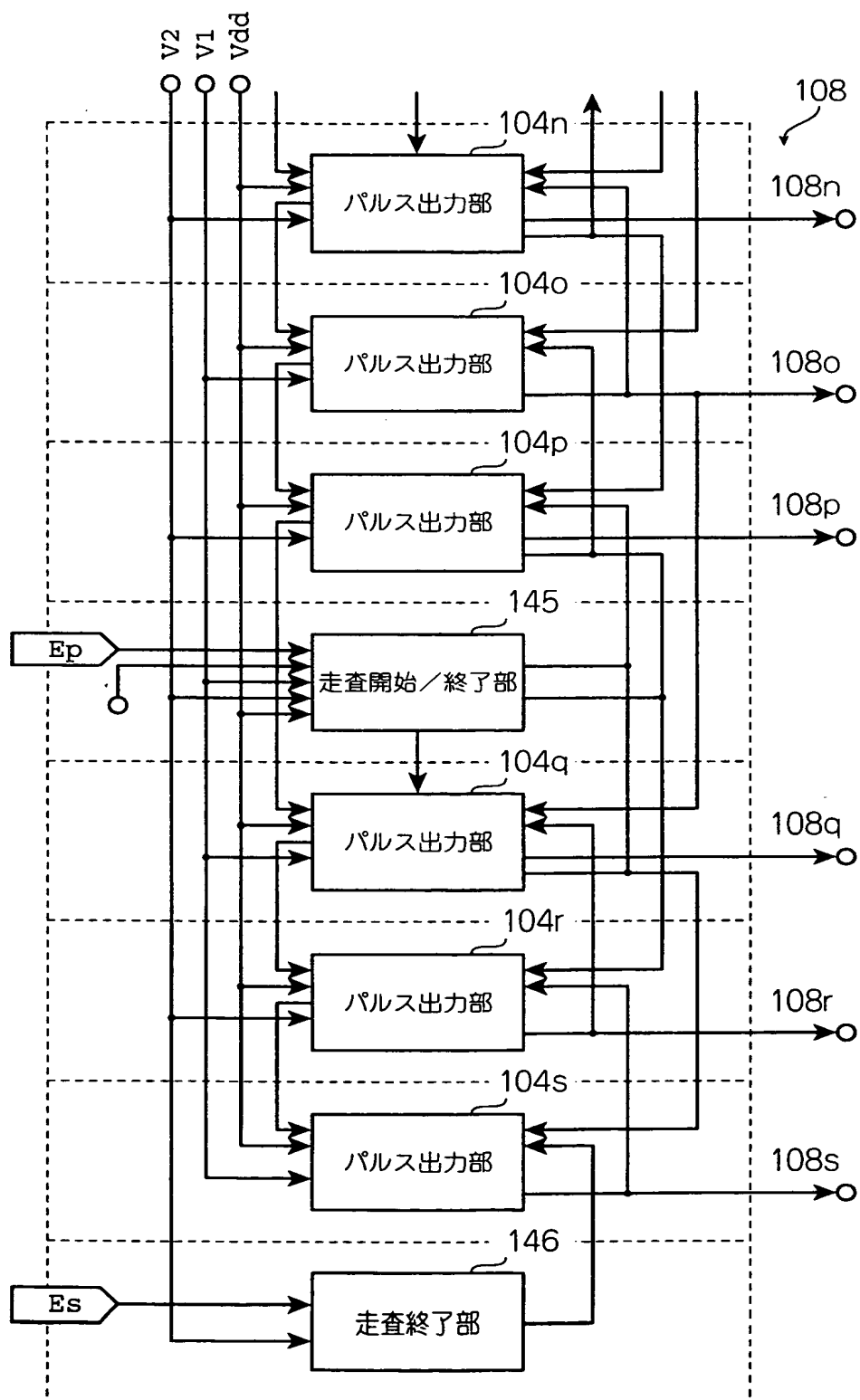
【図 9】



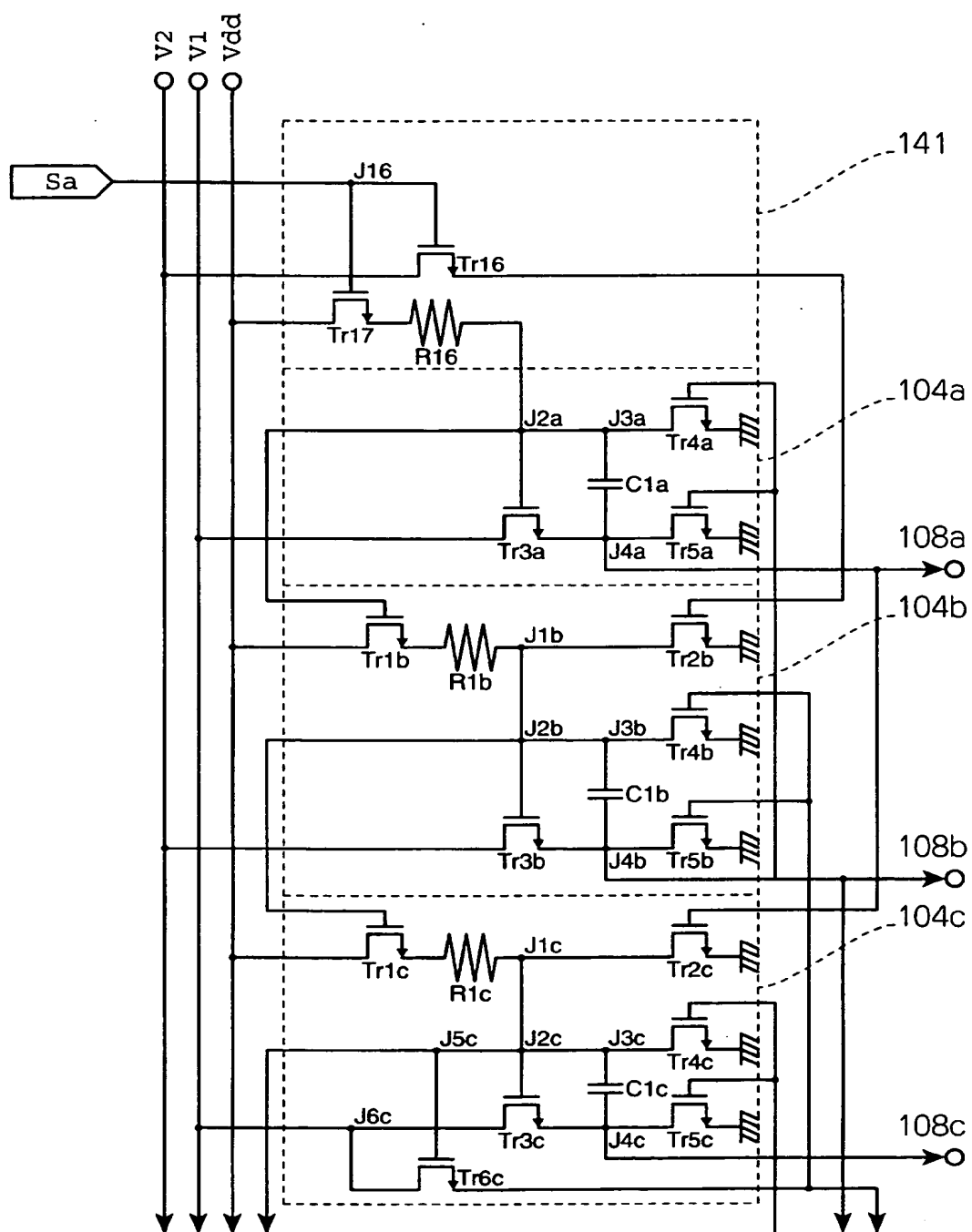
【図 10】



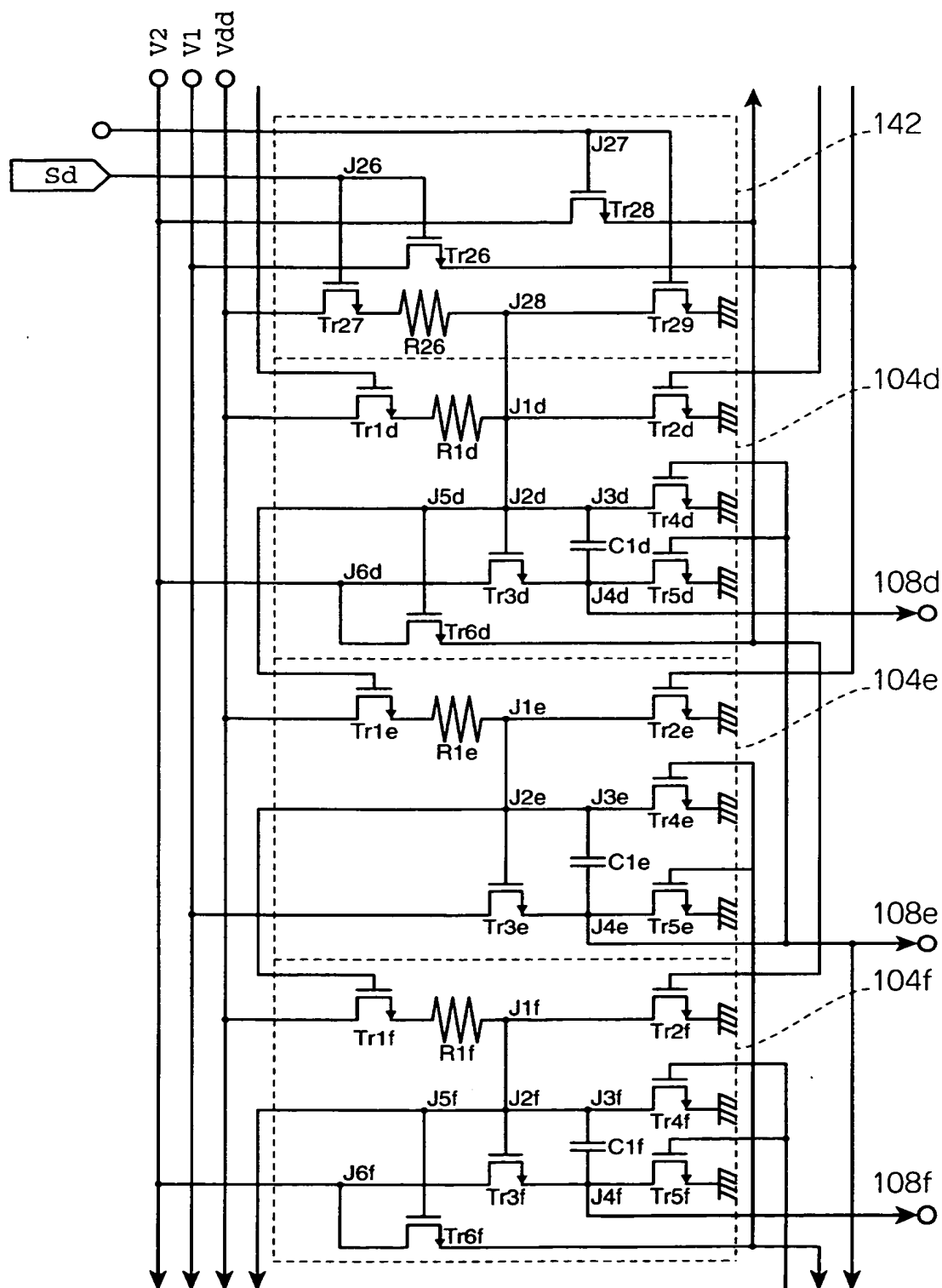
【図 11】



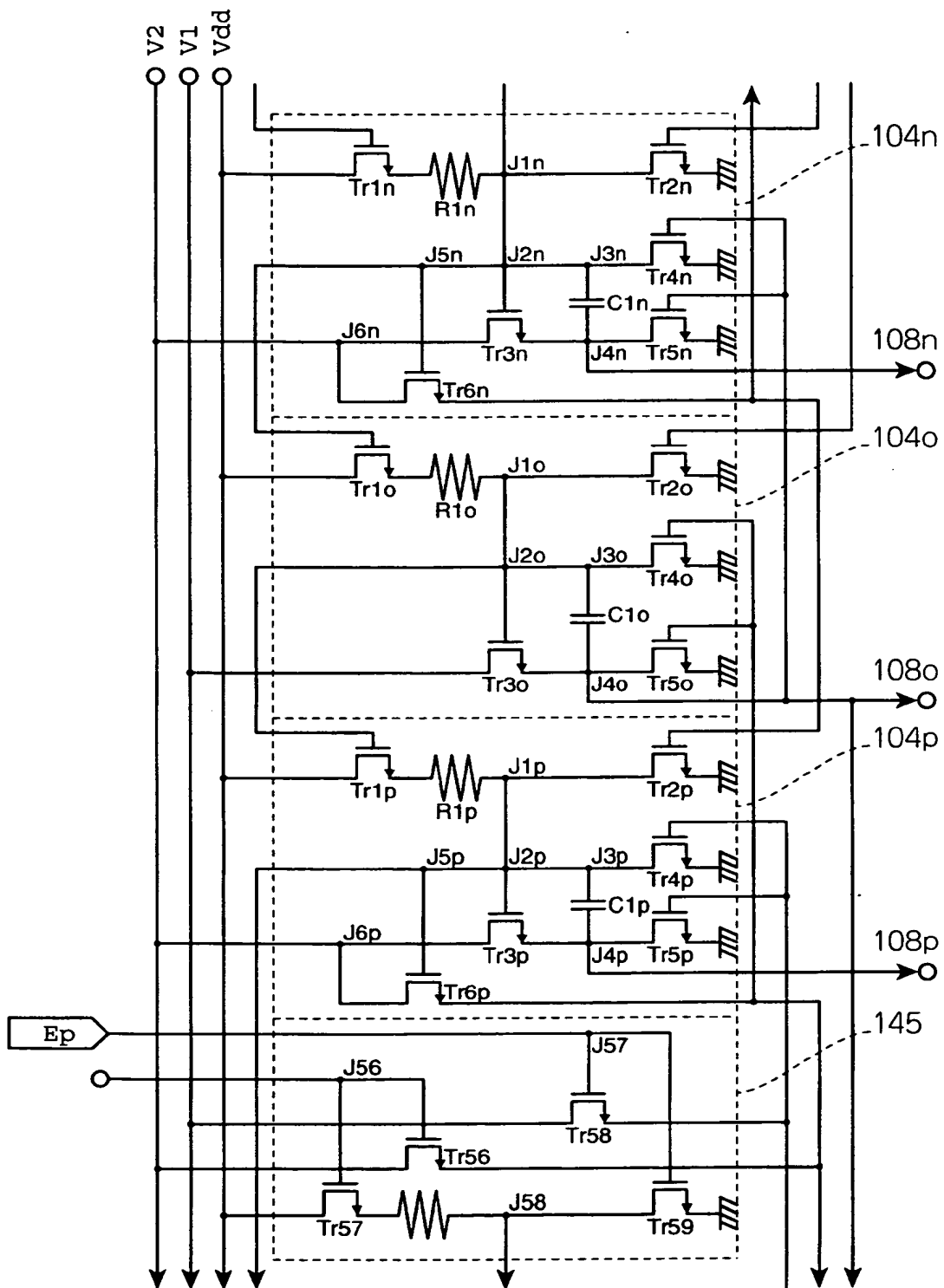
【図 12】



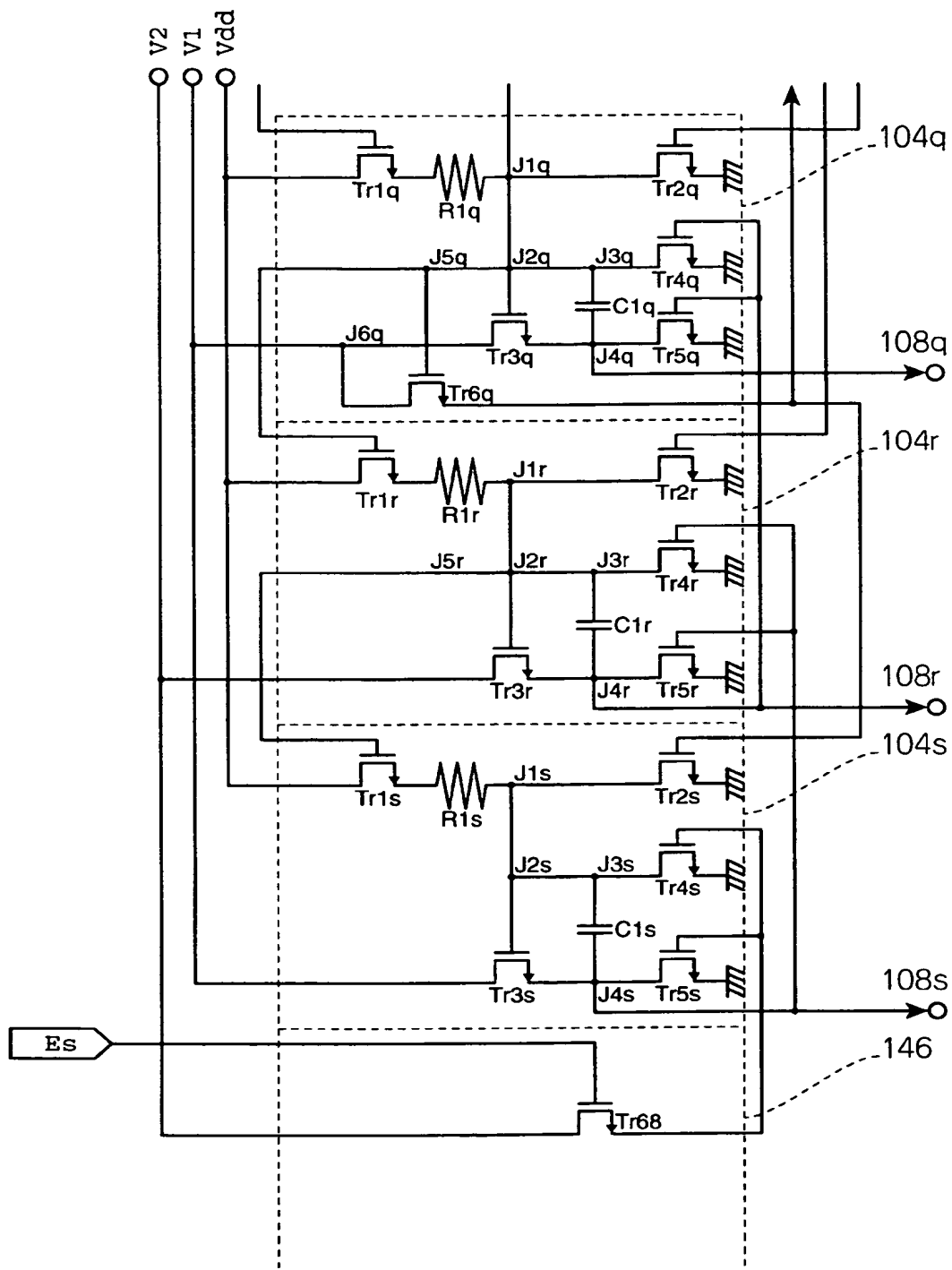
【図 13】



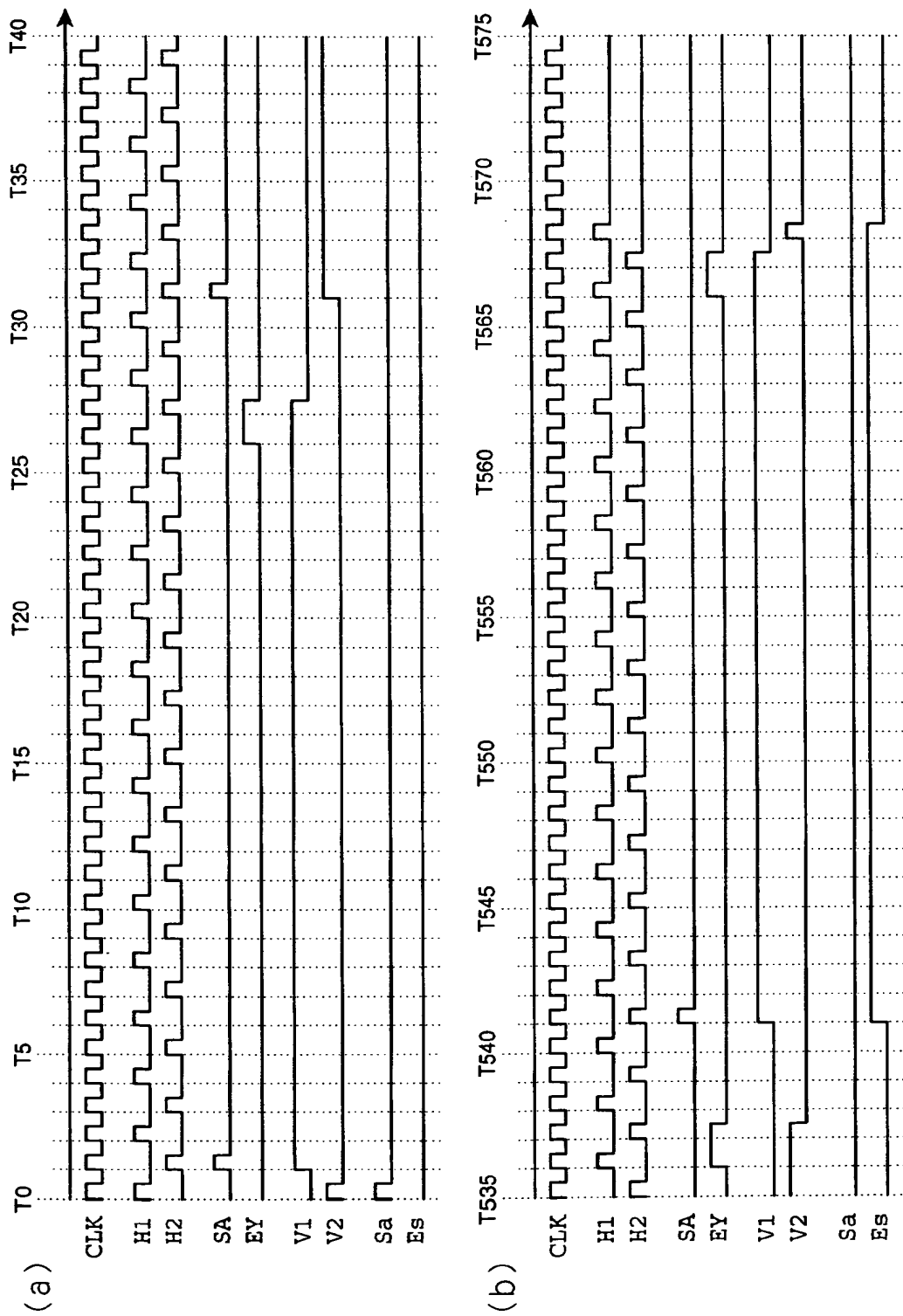
【図 14】



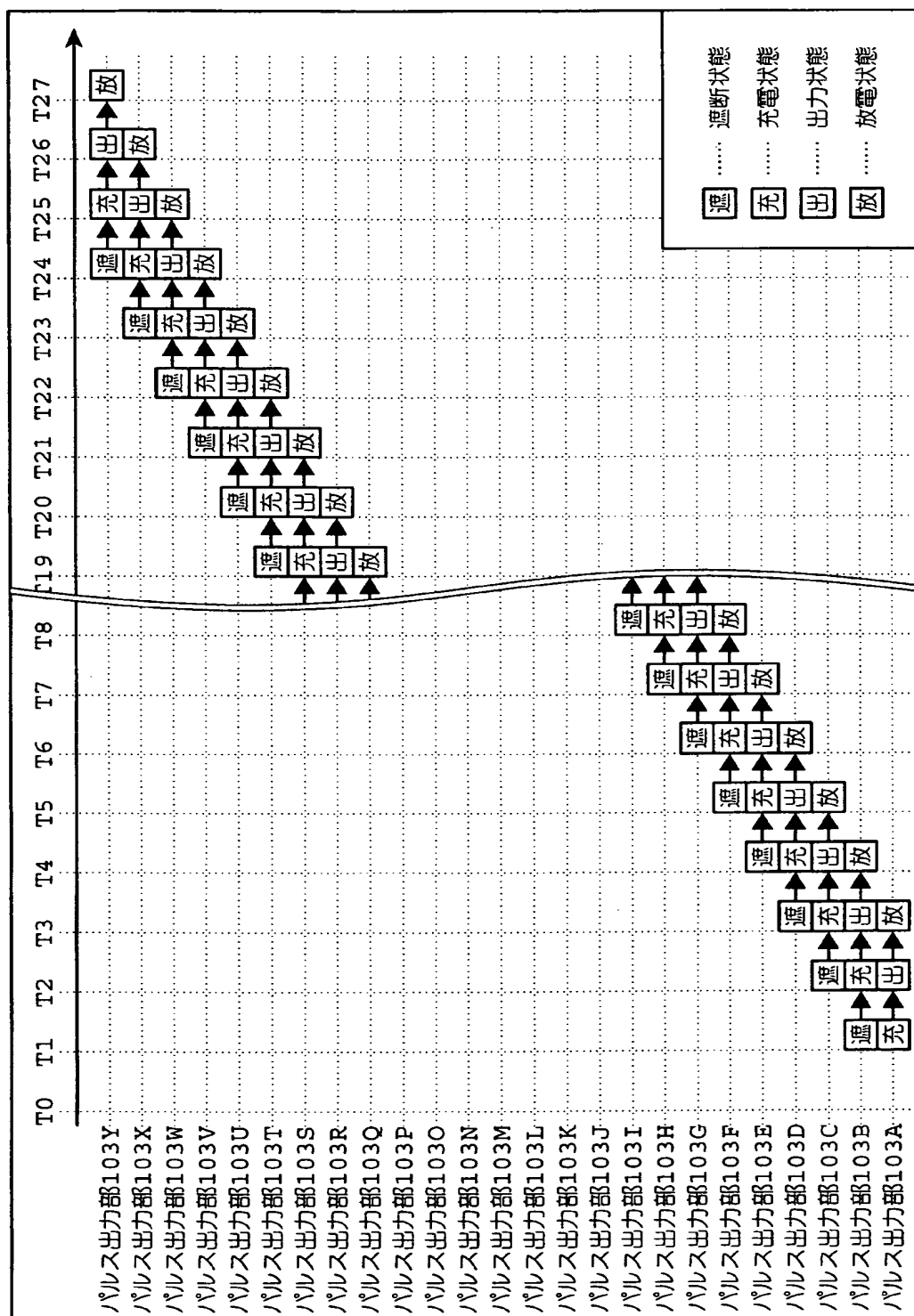
【図 15】



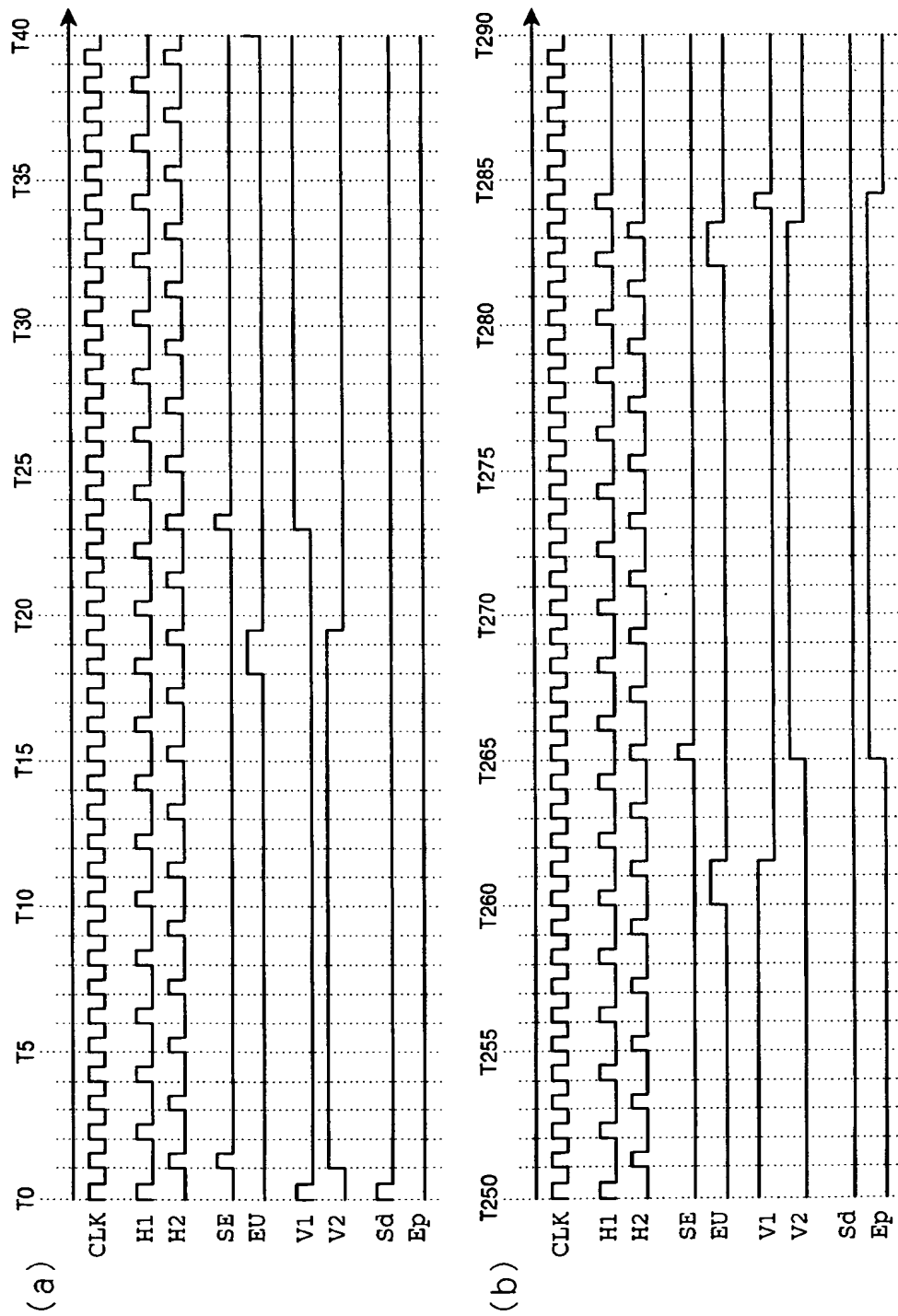
【図 16】



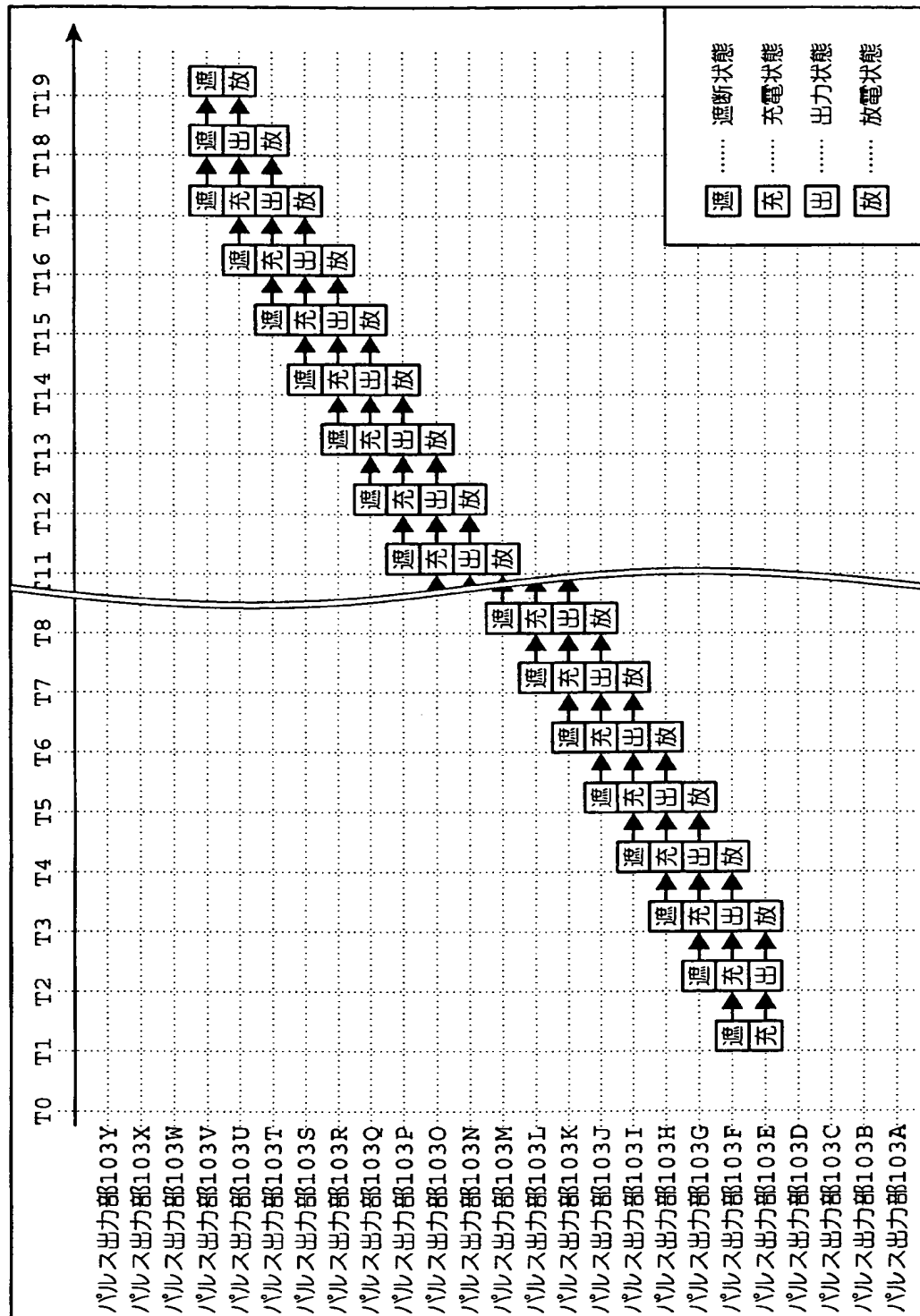
【図 17】



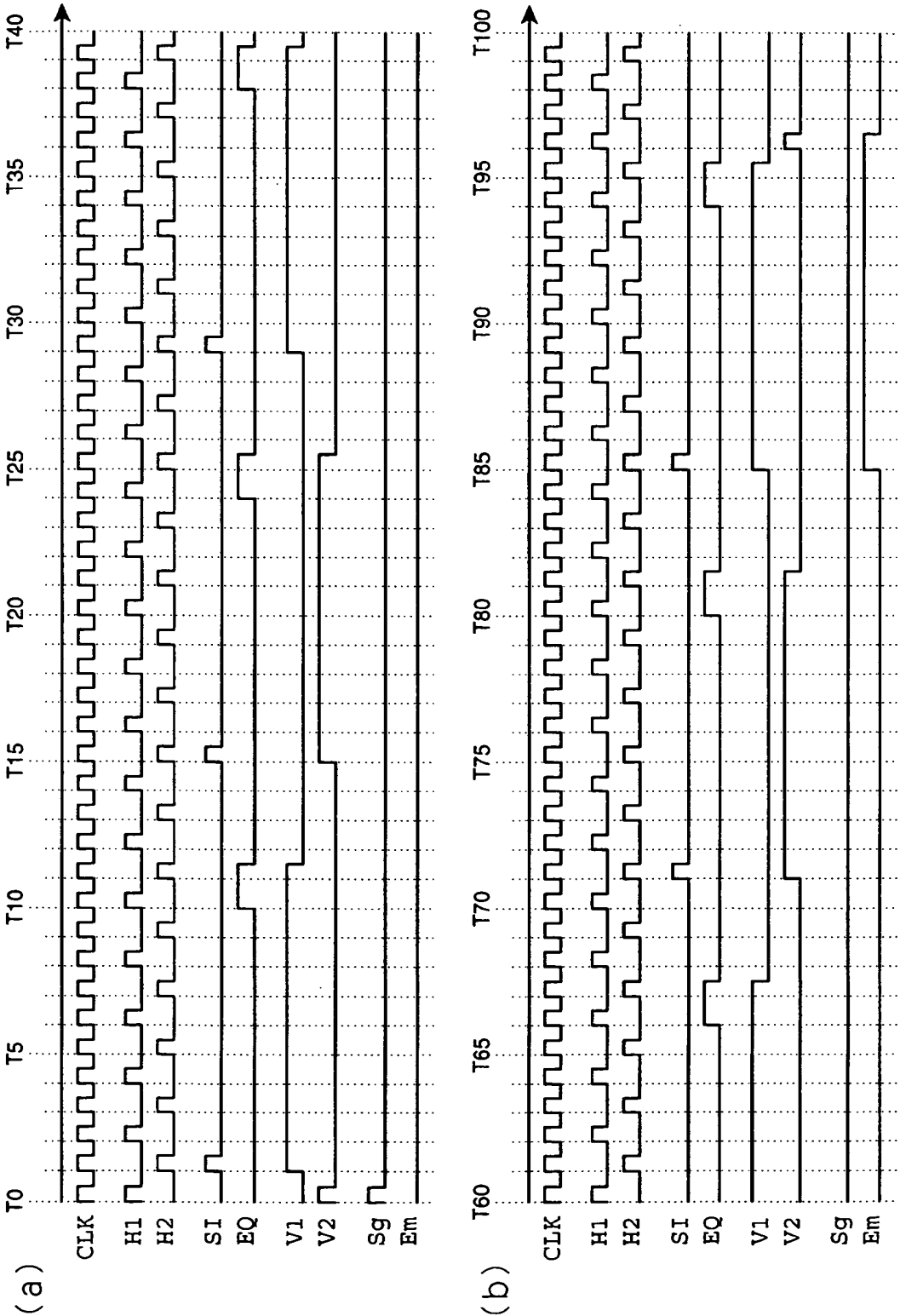
【図 18】



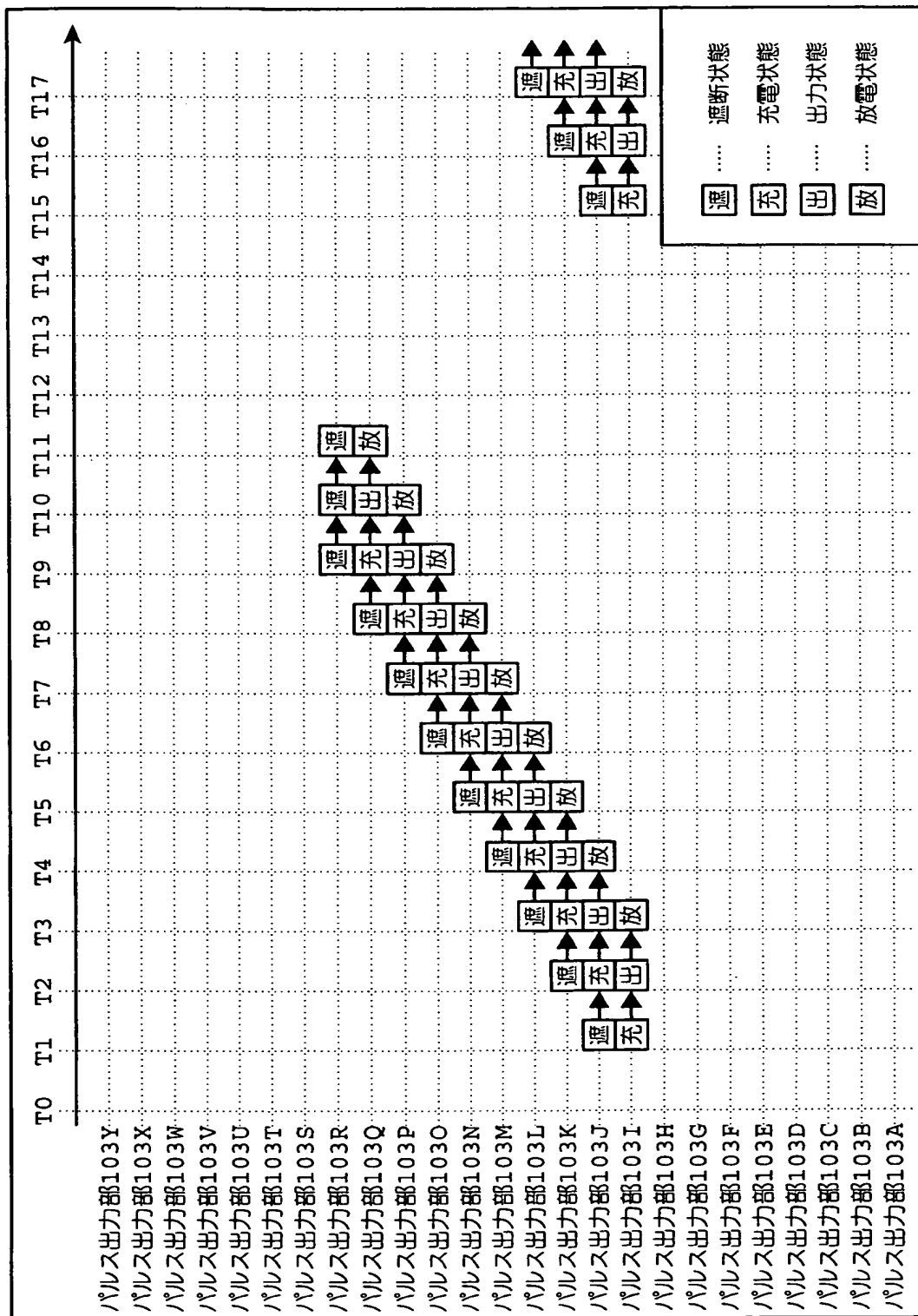
【図 19】



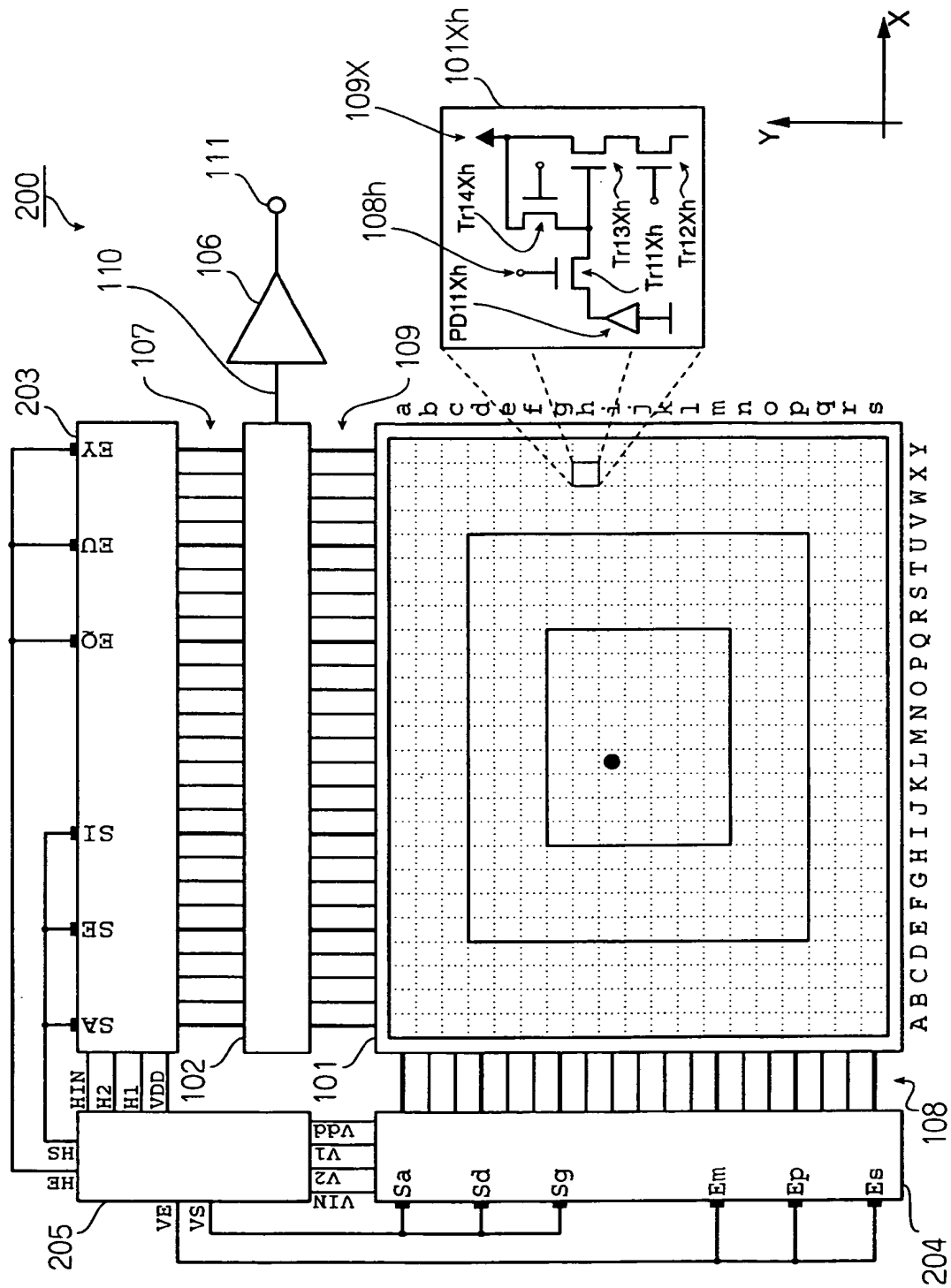
【図 20】



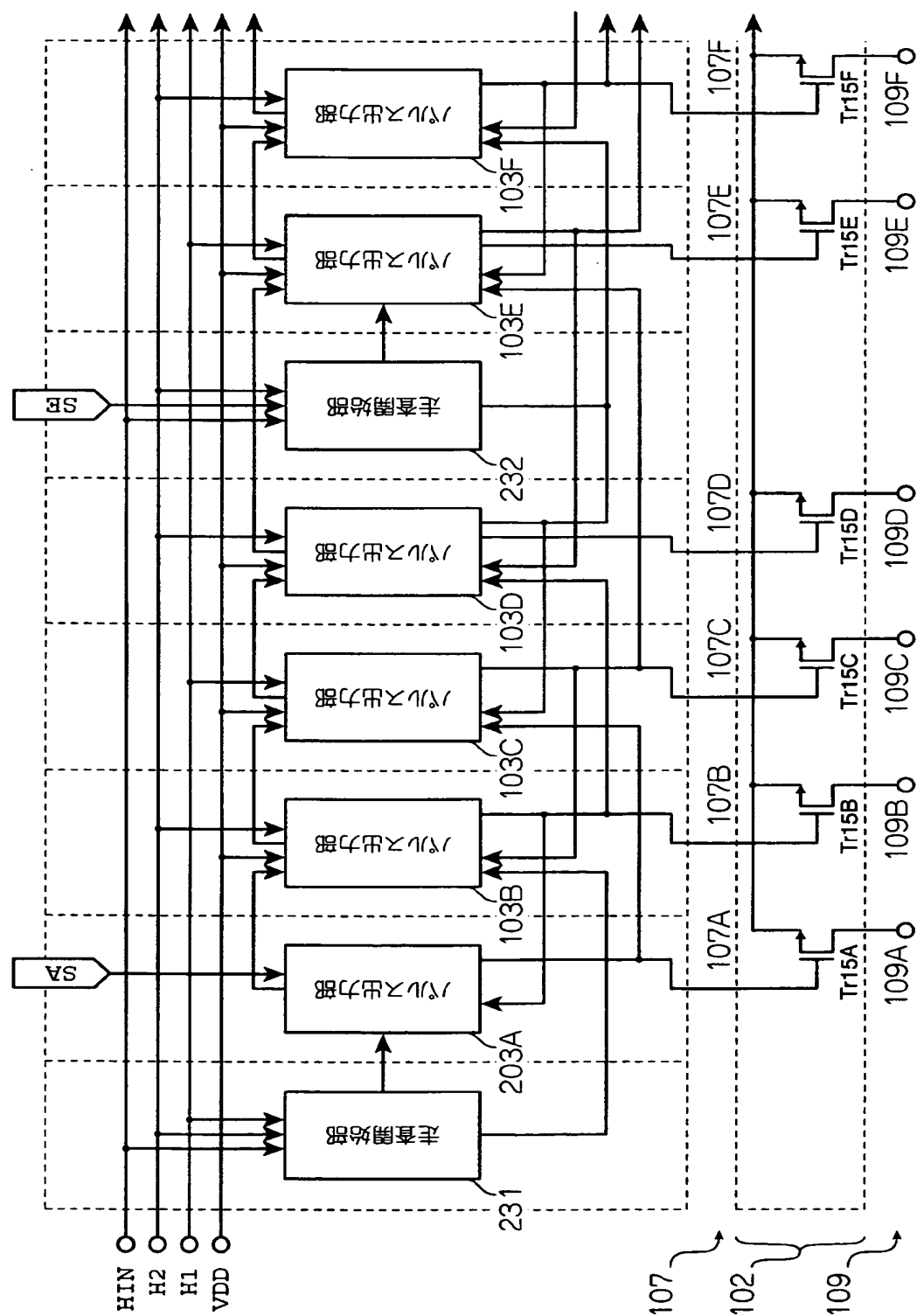
【図 21】



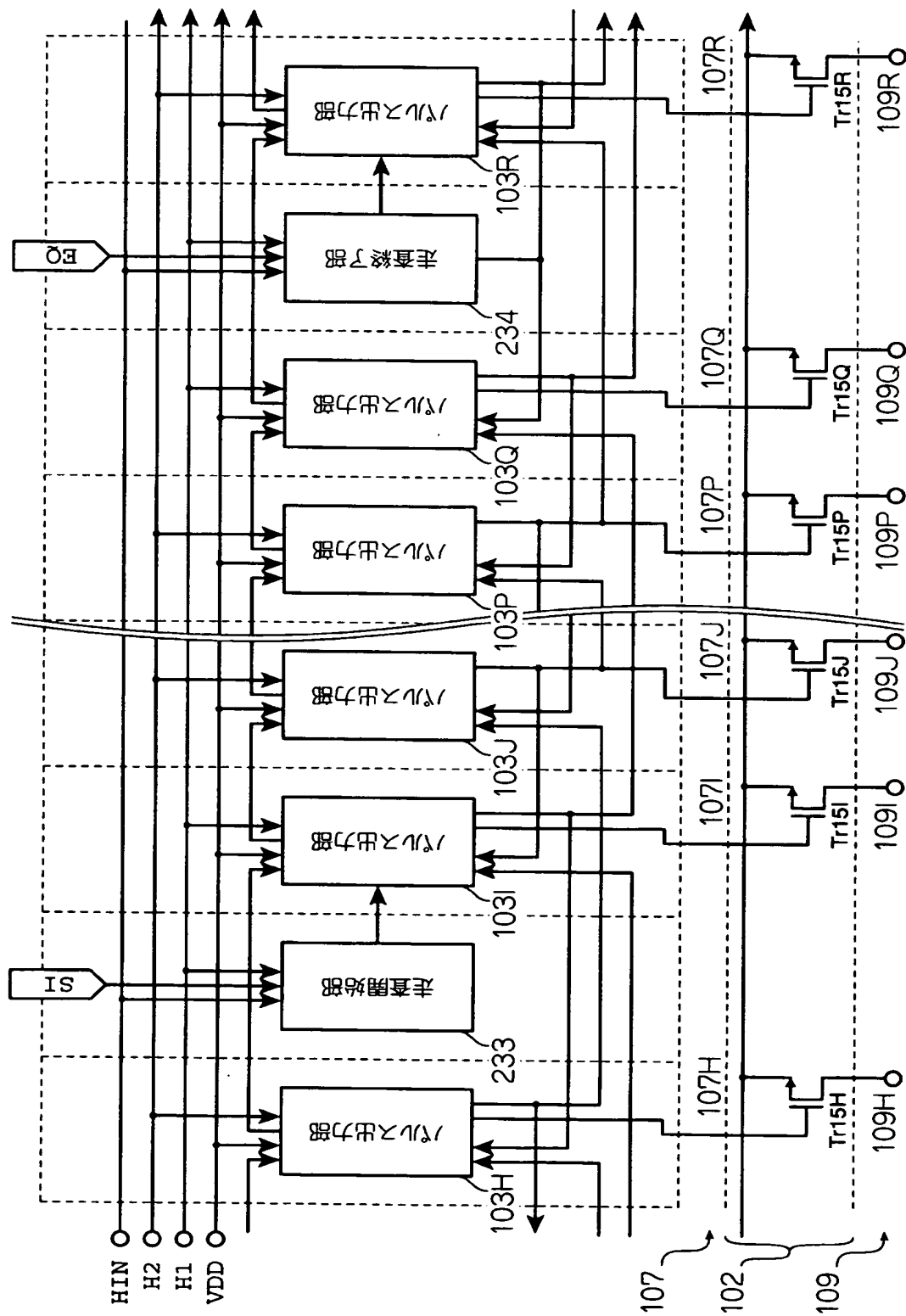
【図 22】



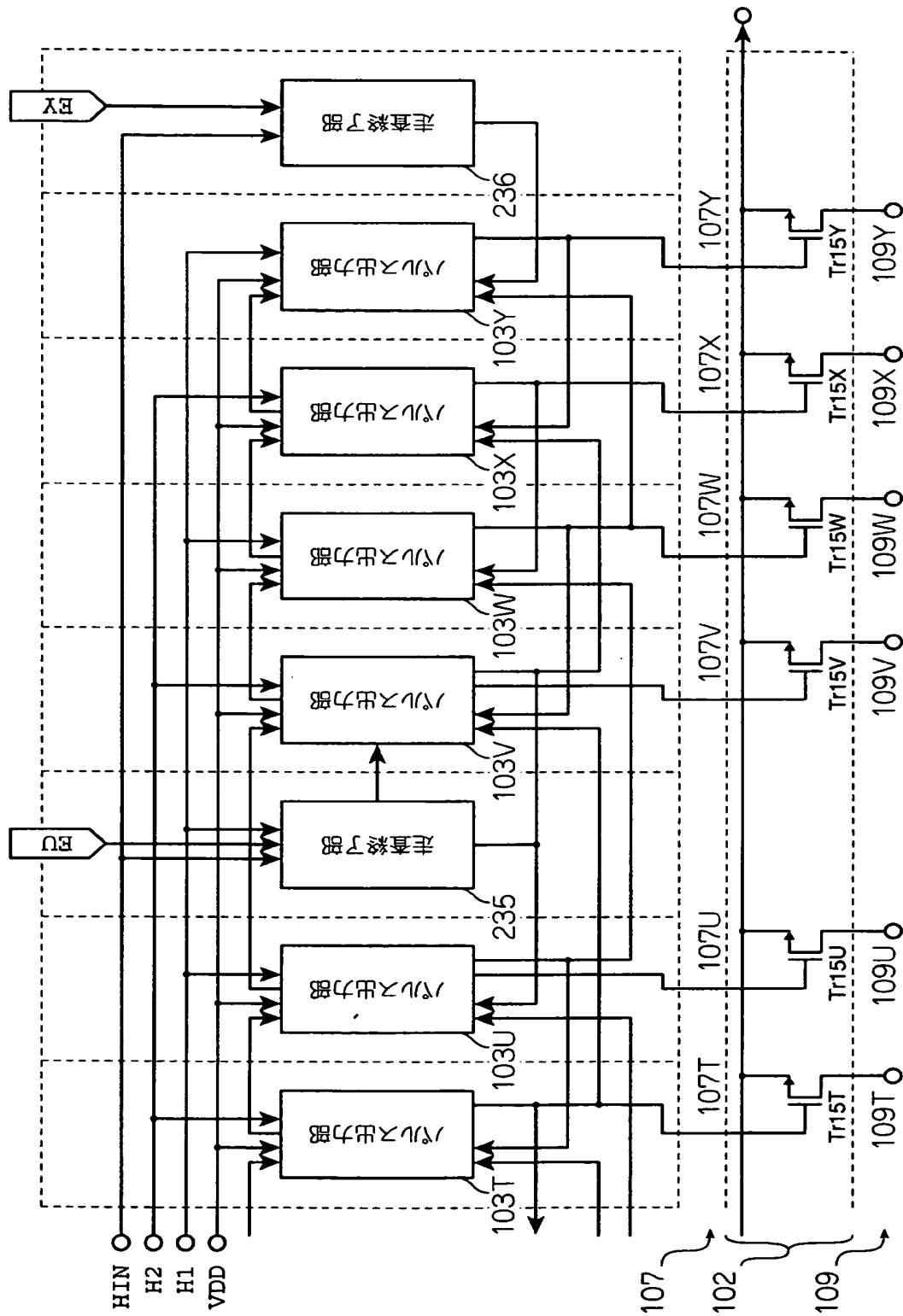
【図 2 3】



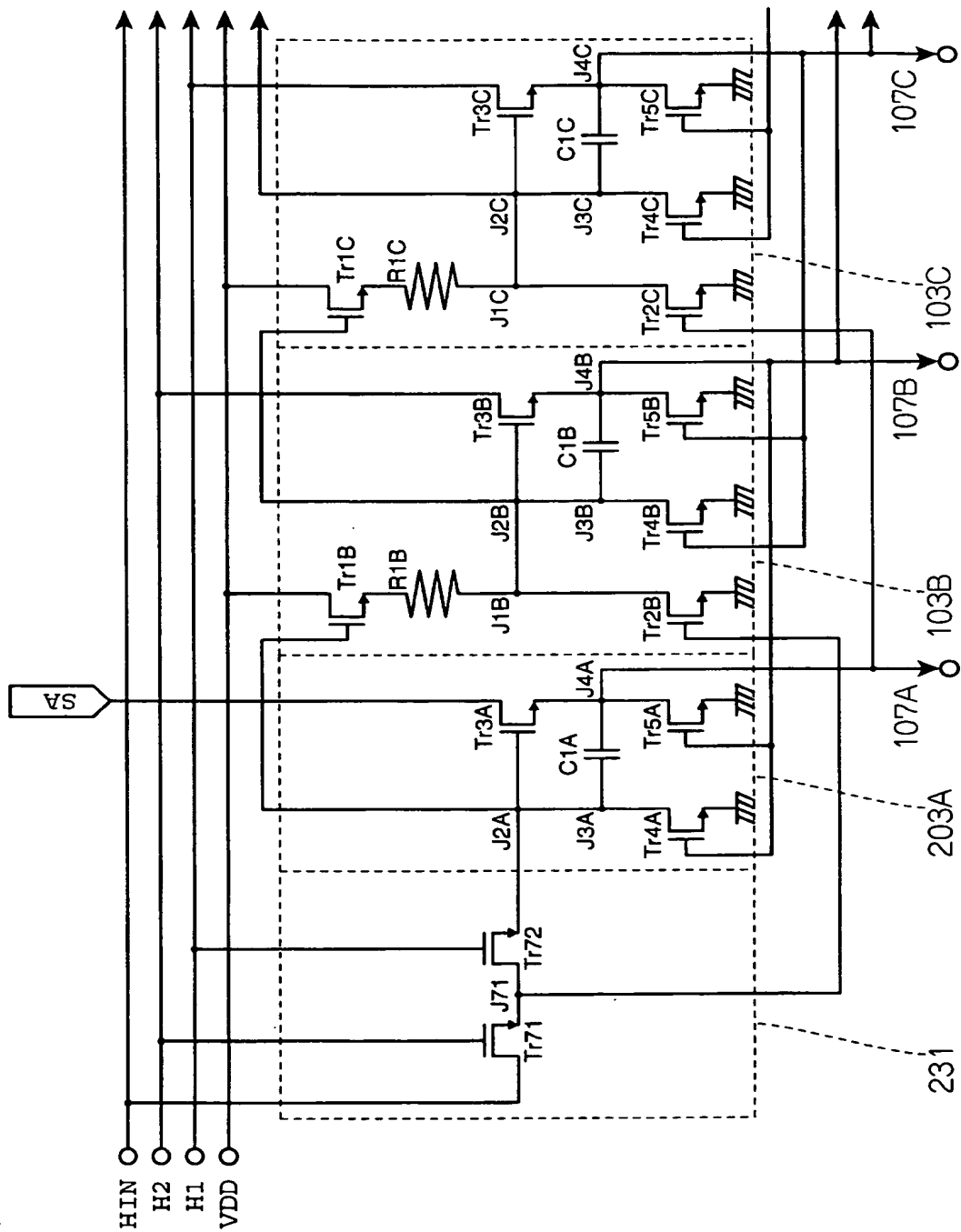
【図 24】



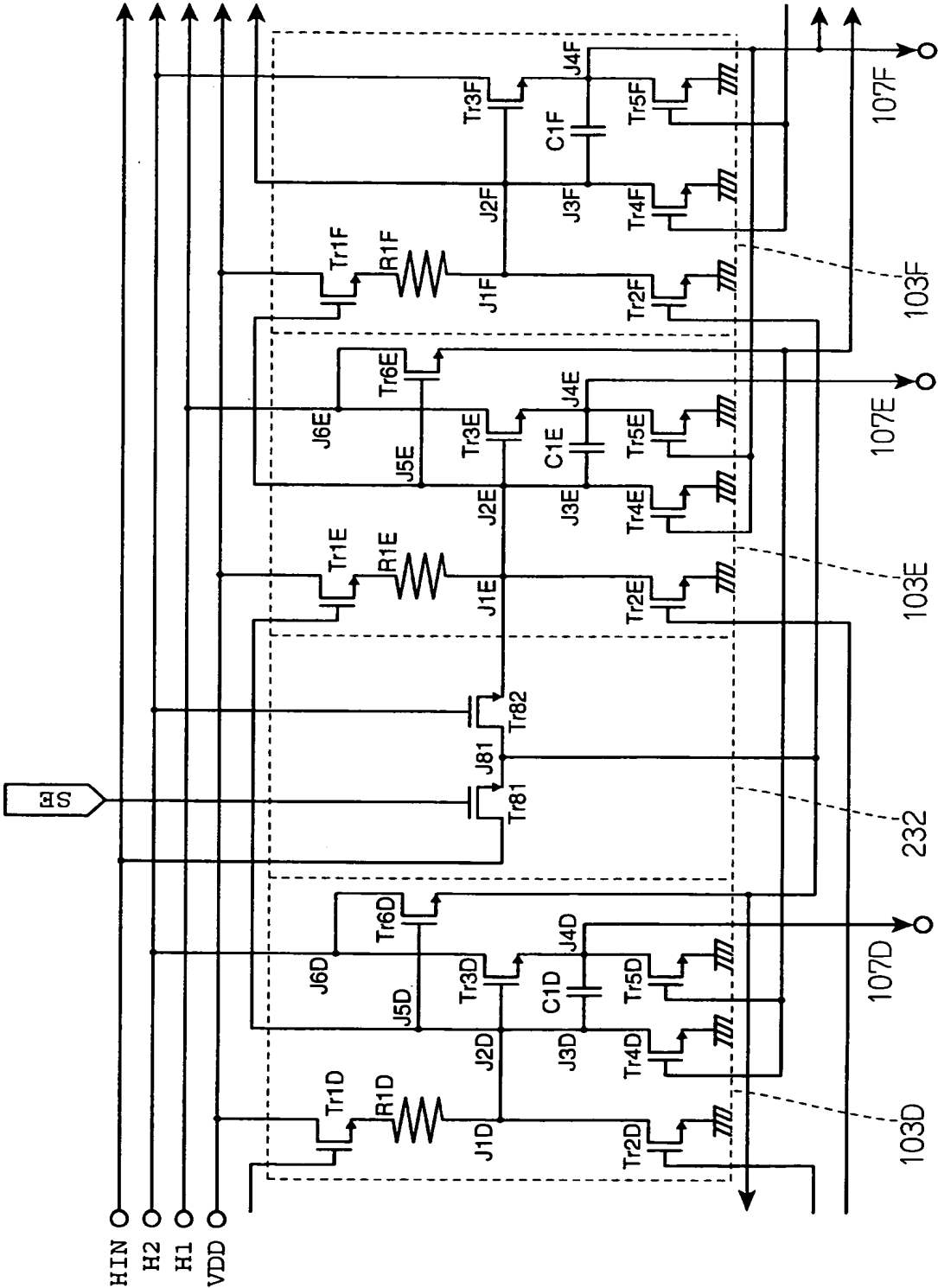
【図 25】



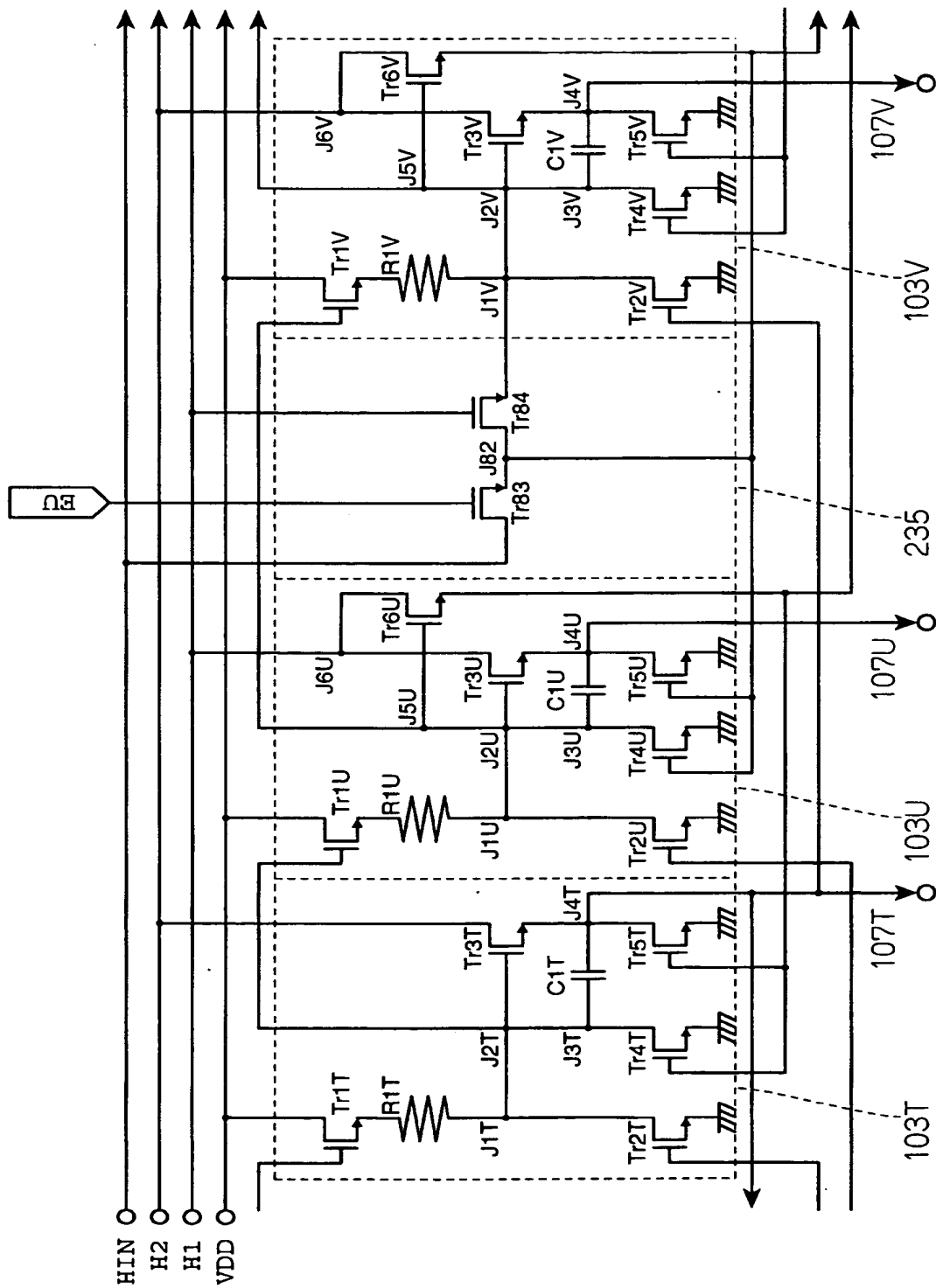
【図 26】



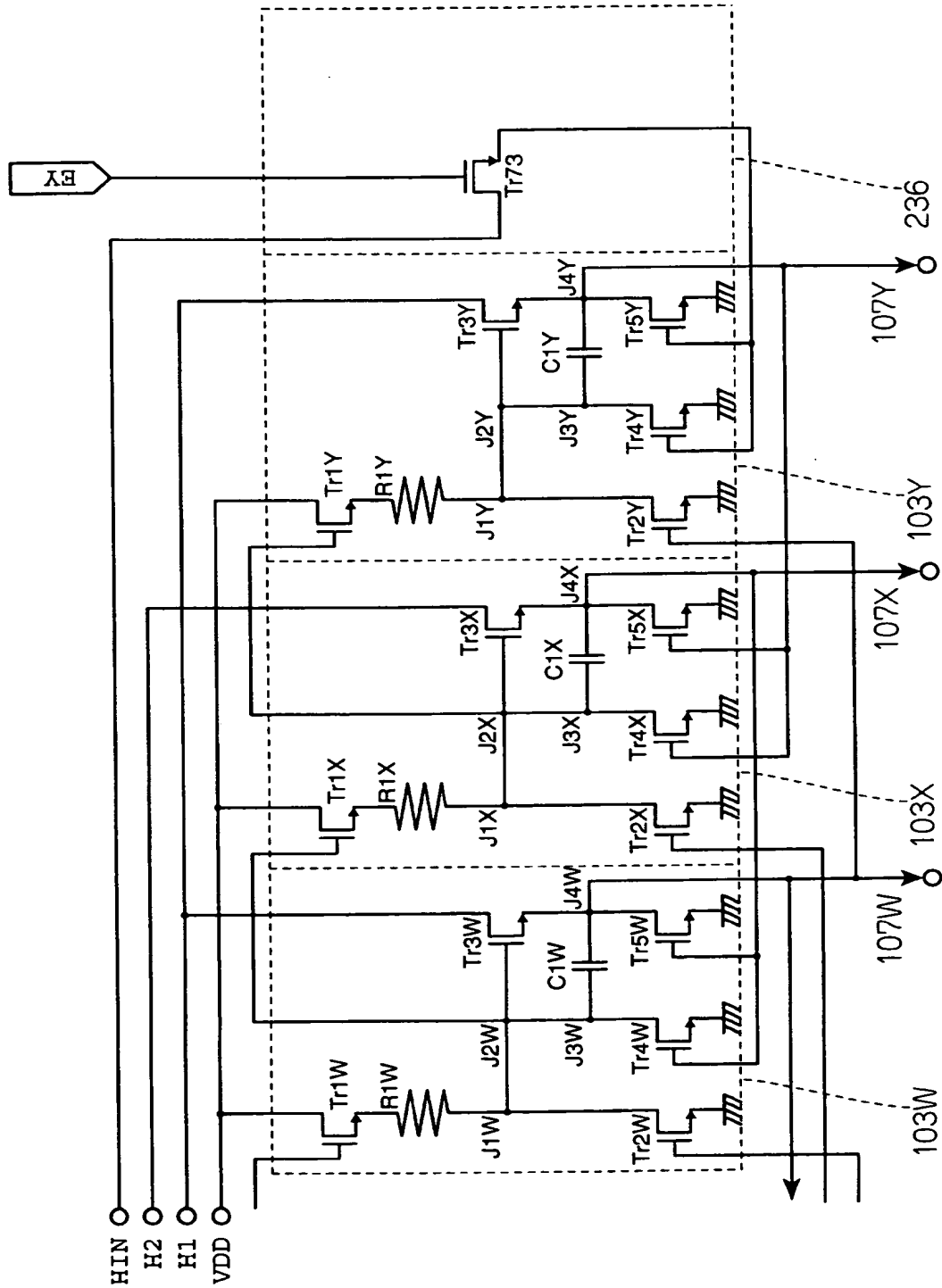
【図 27】



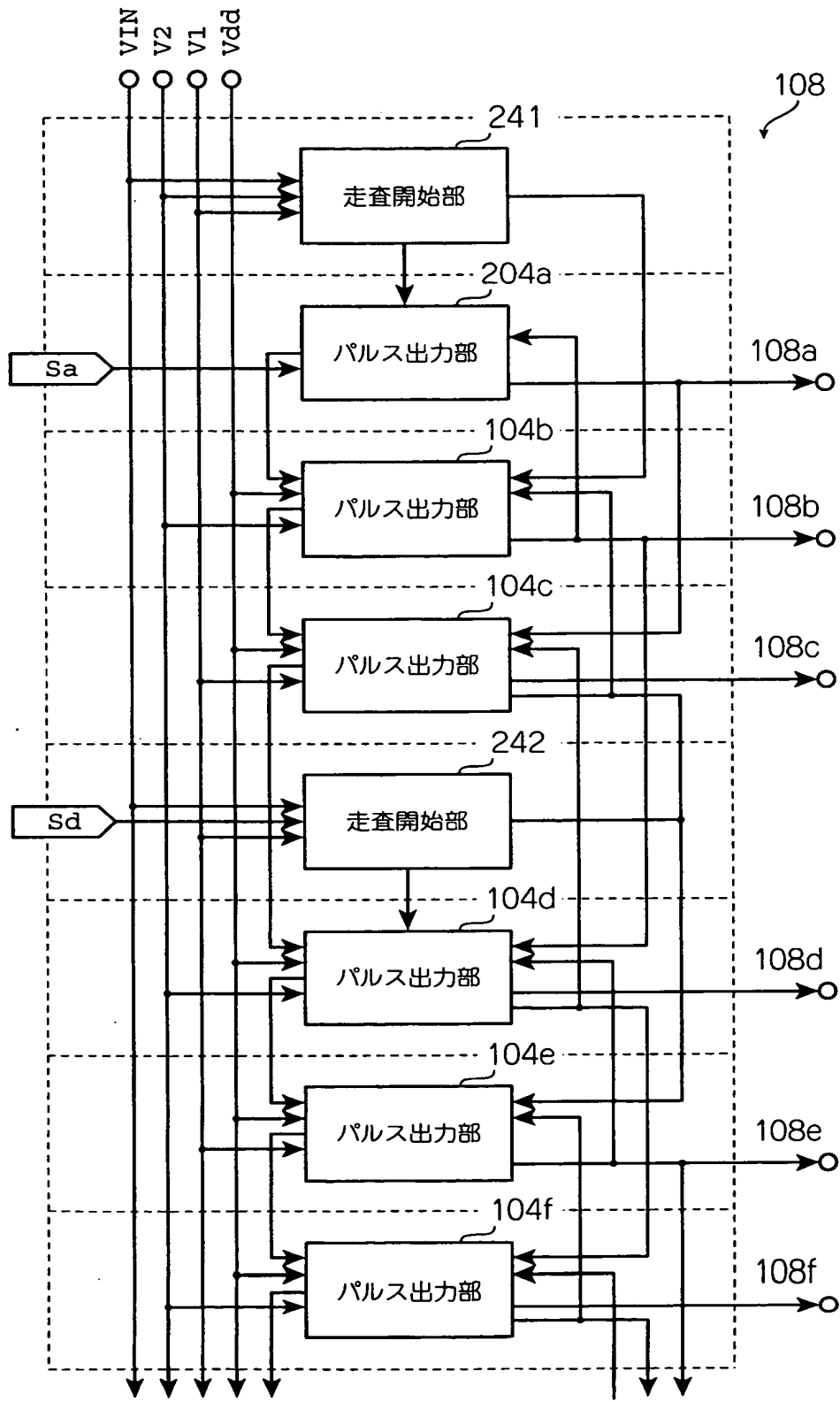
【図 28】



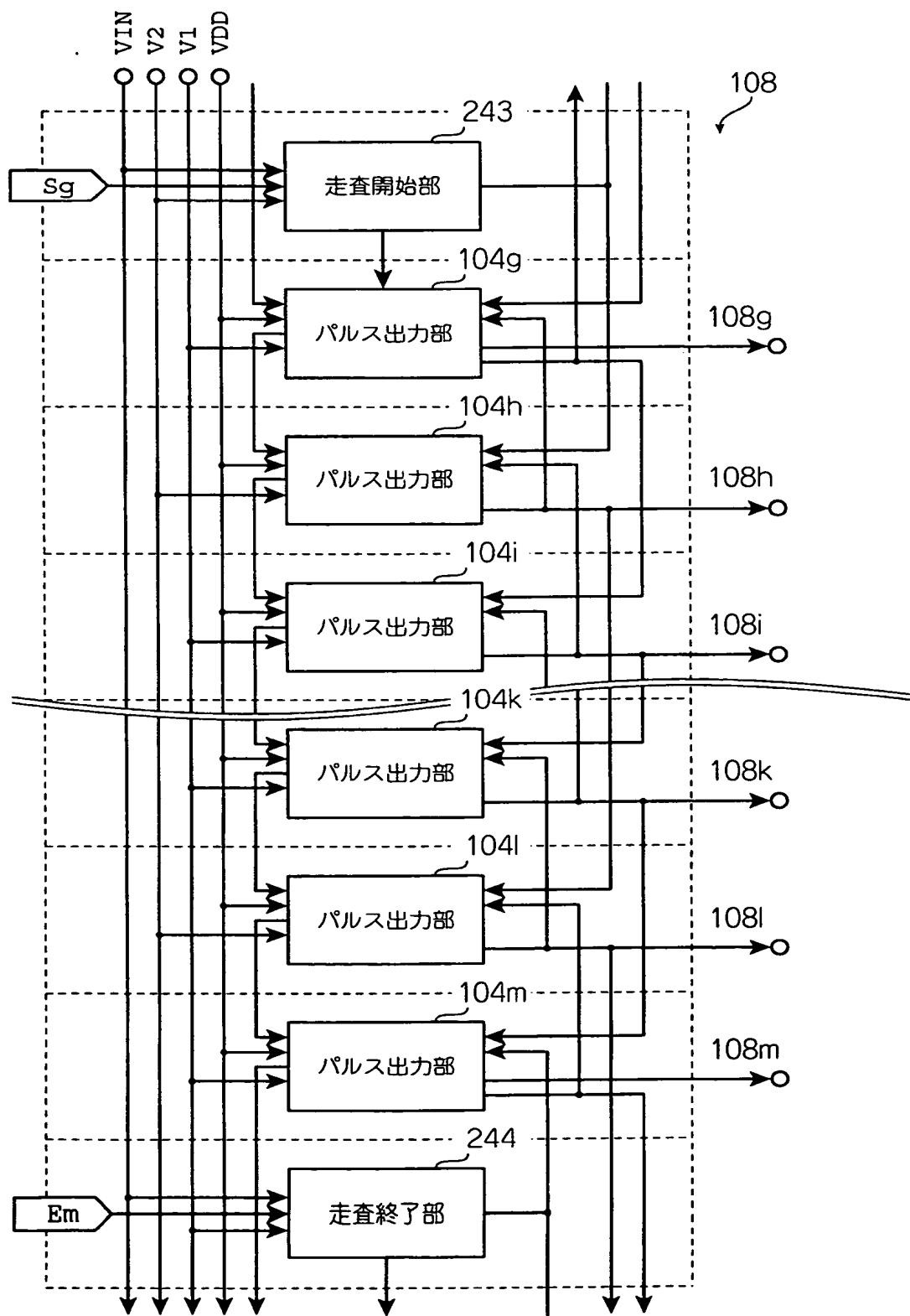
【図 29】



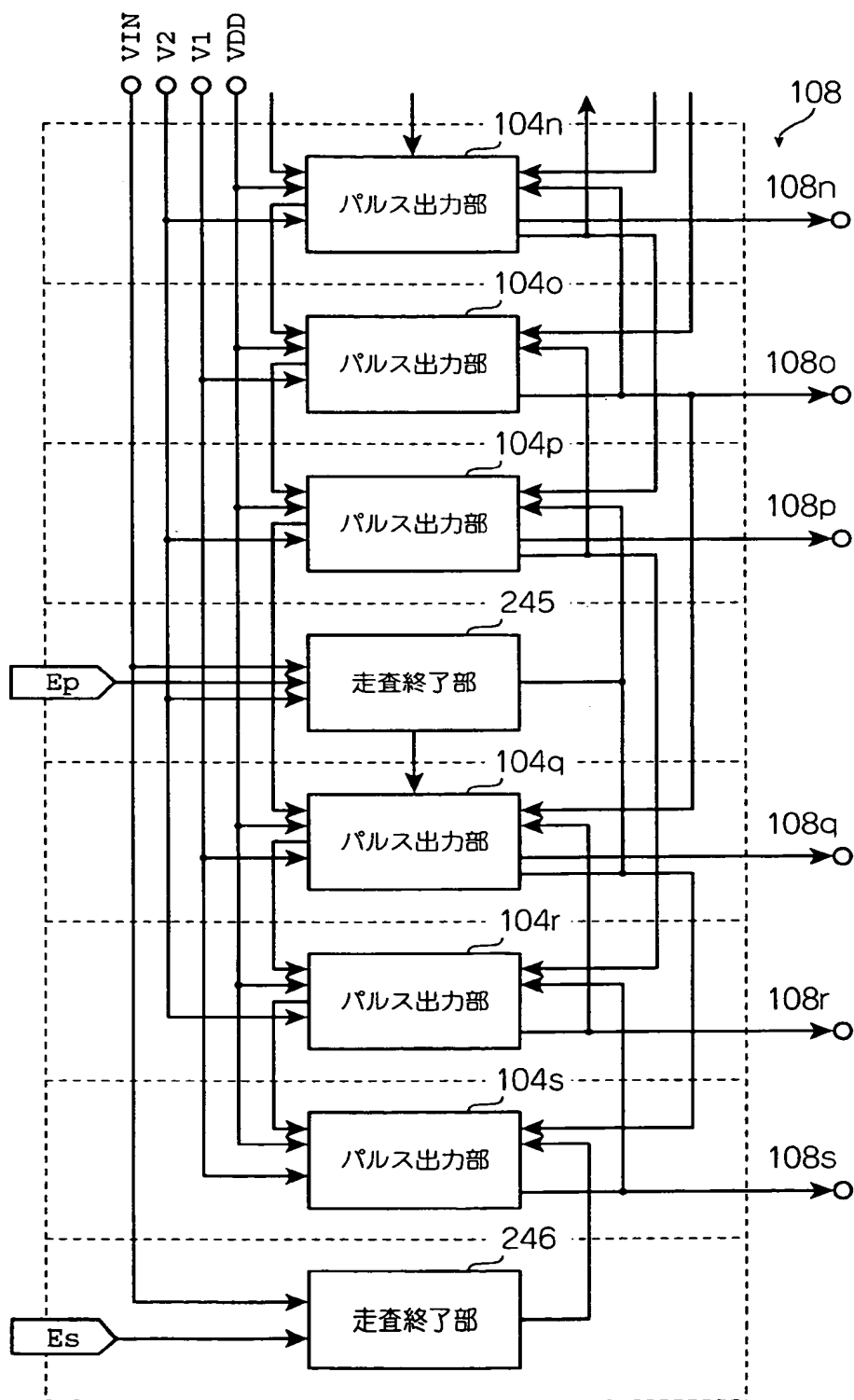
【図 30】



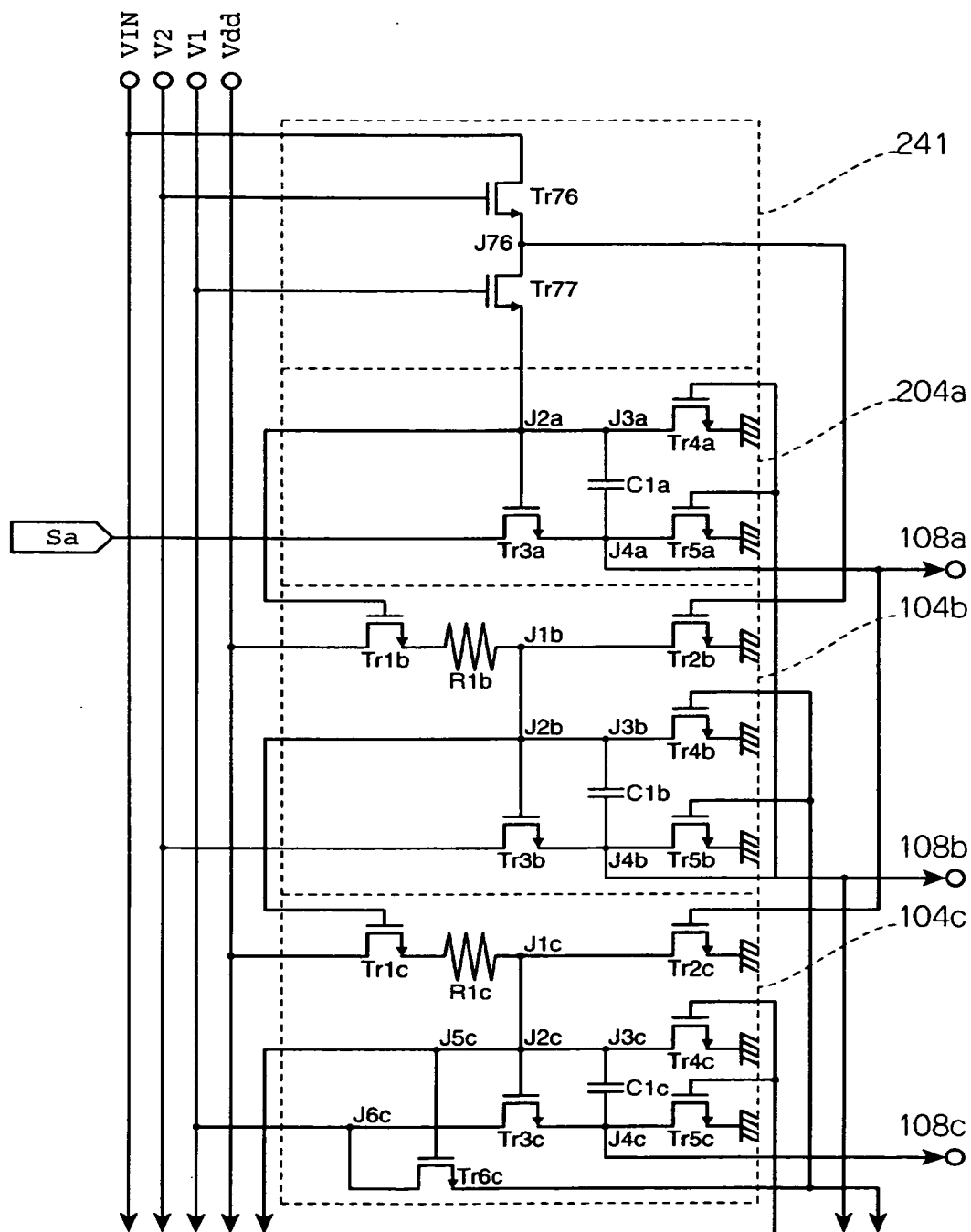
【図 31】



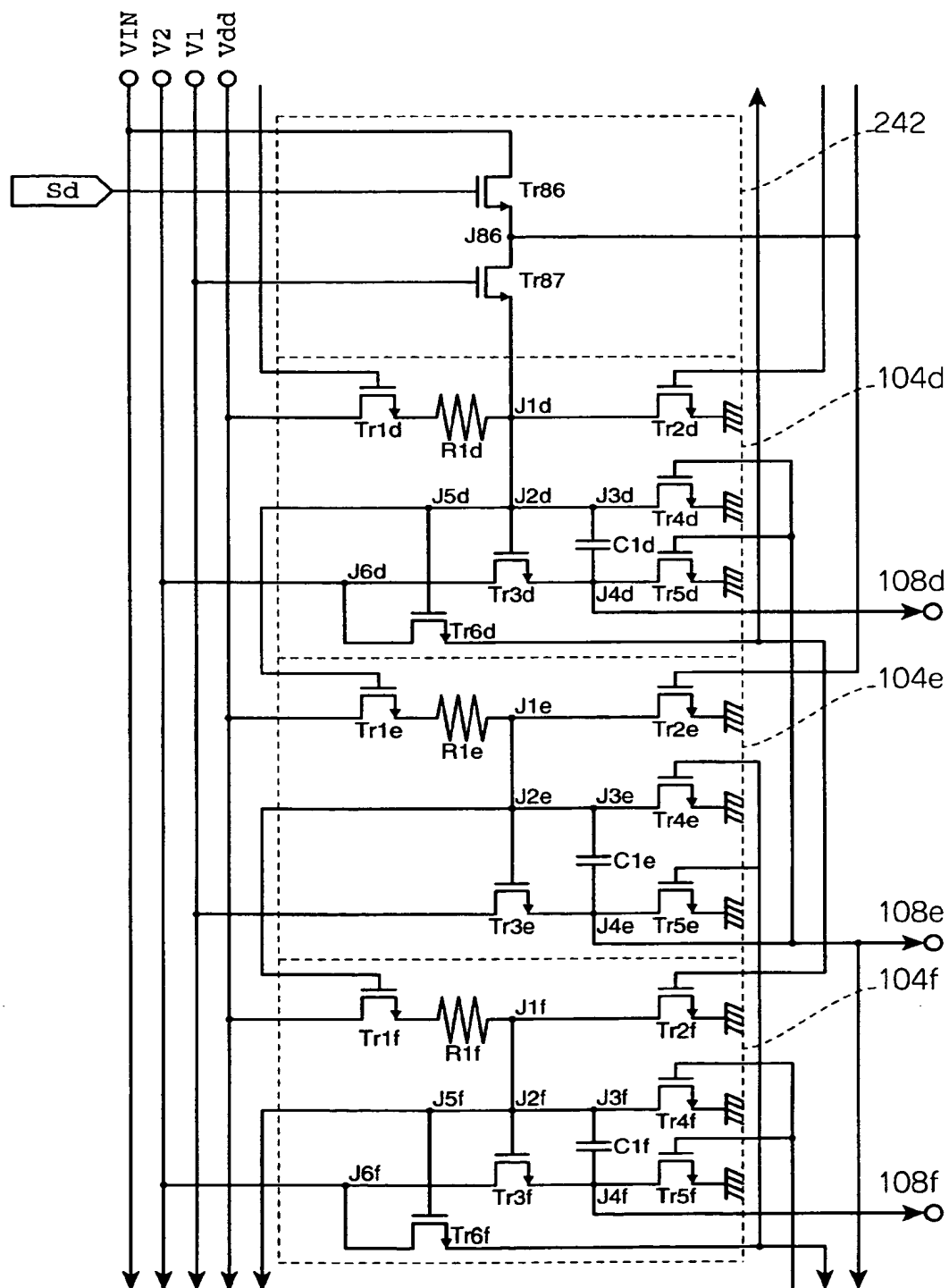
【図 32】



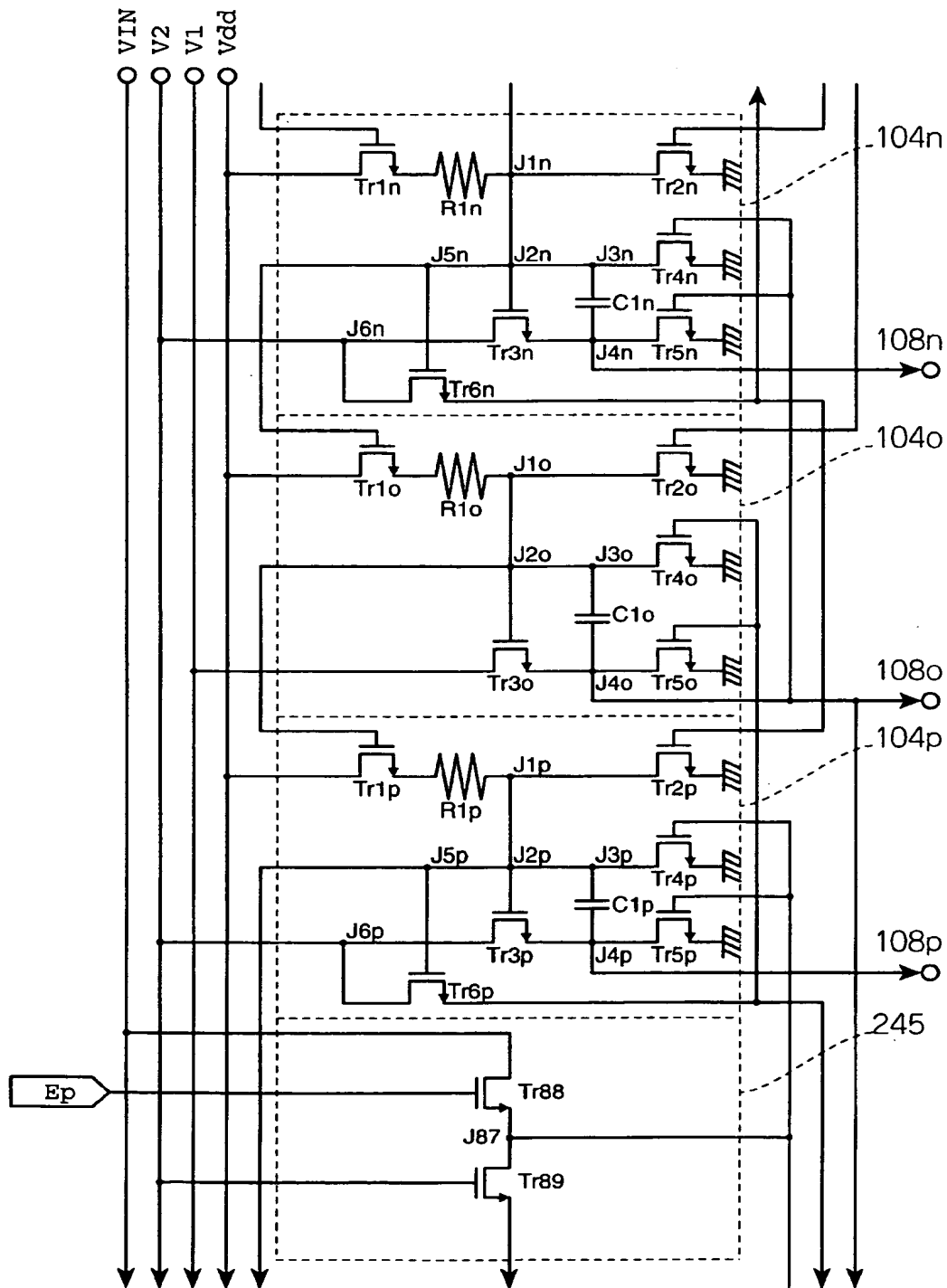
【図 33】



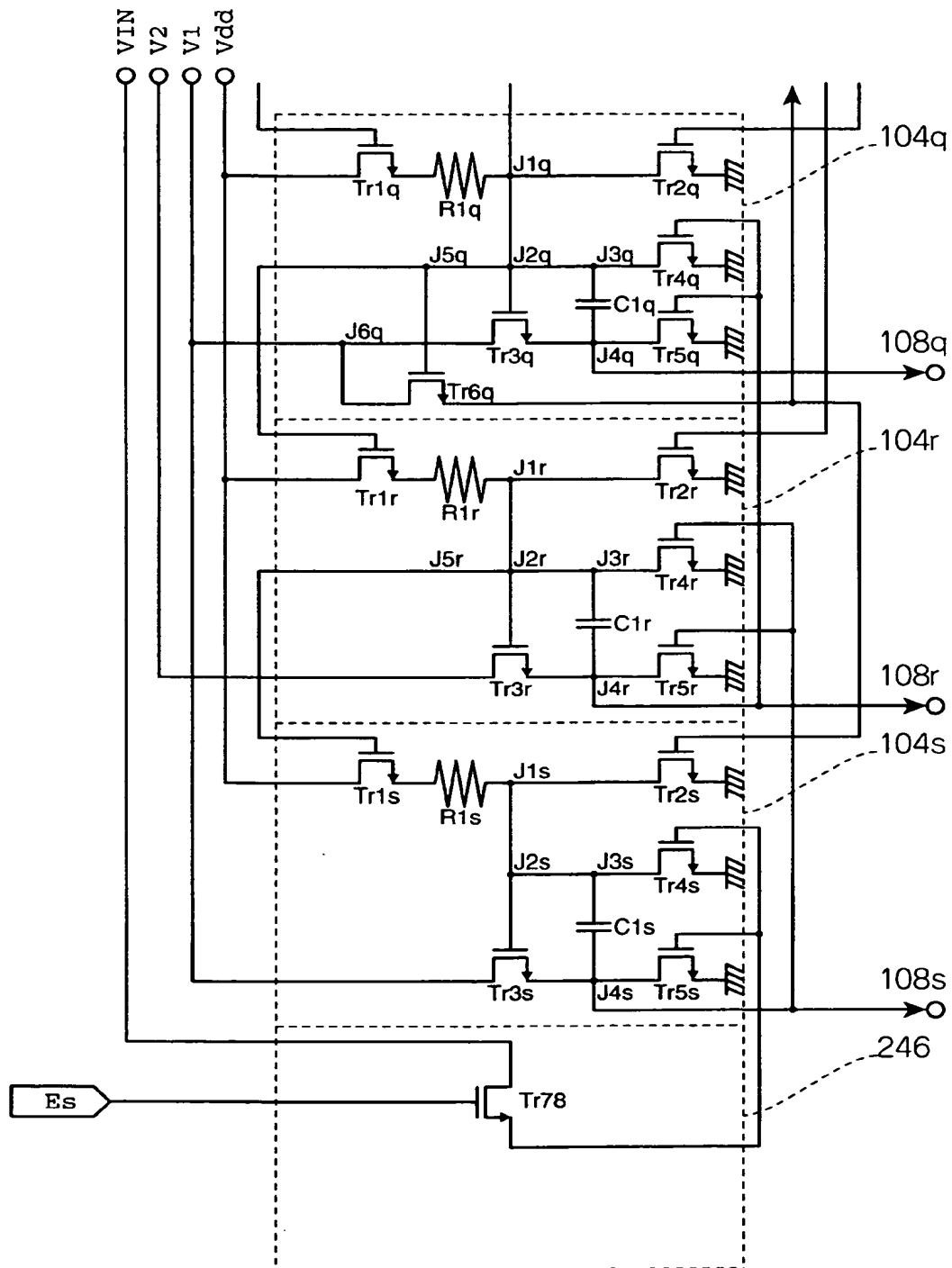
【図 34】



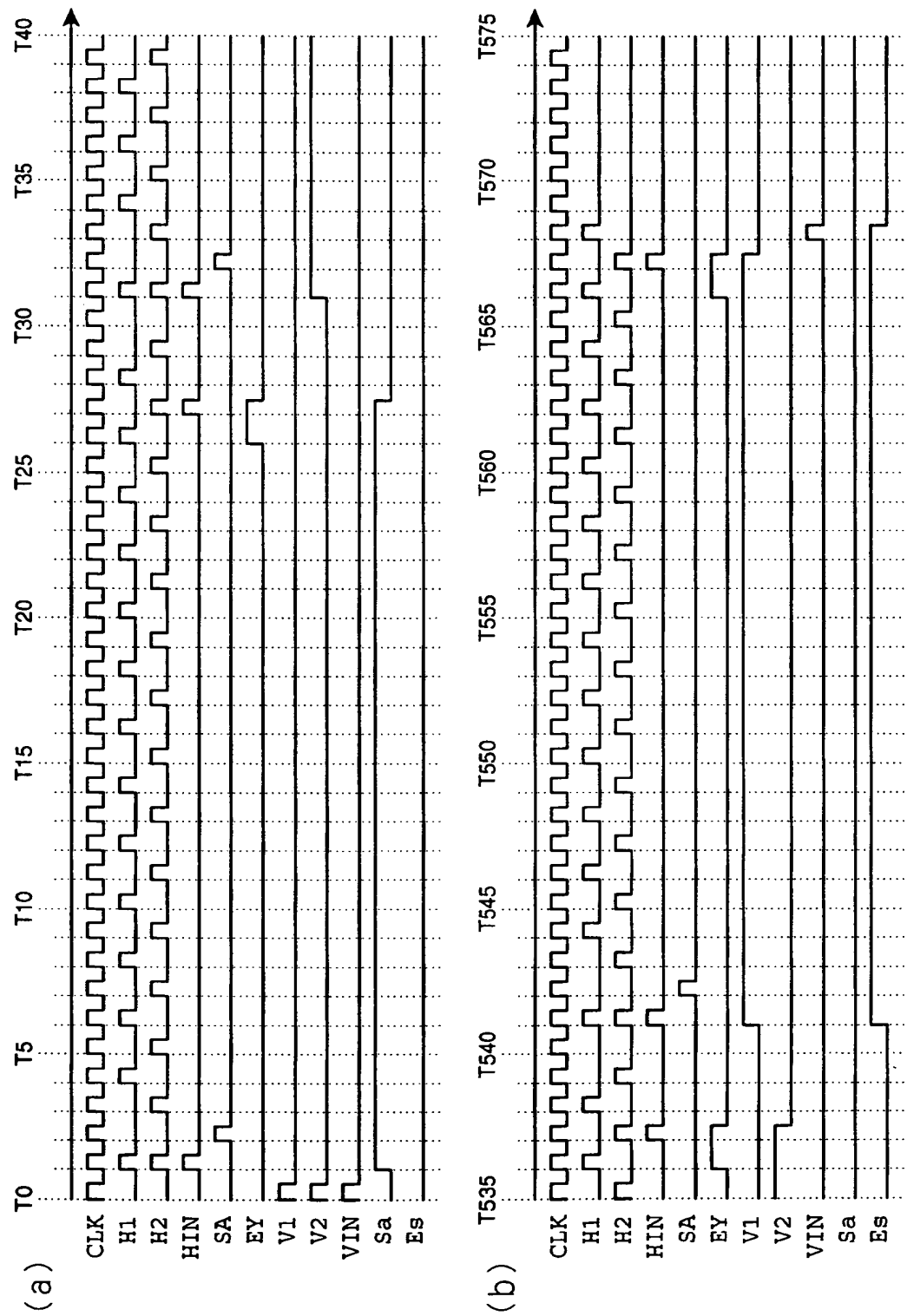
【図 35】



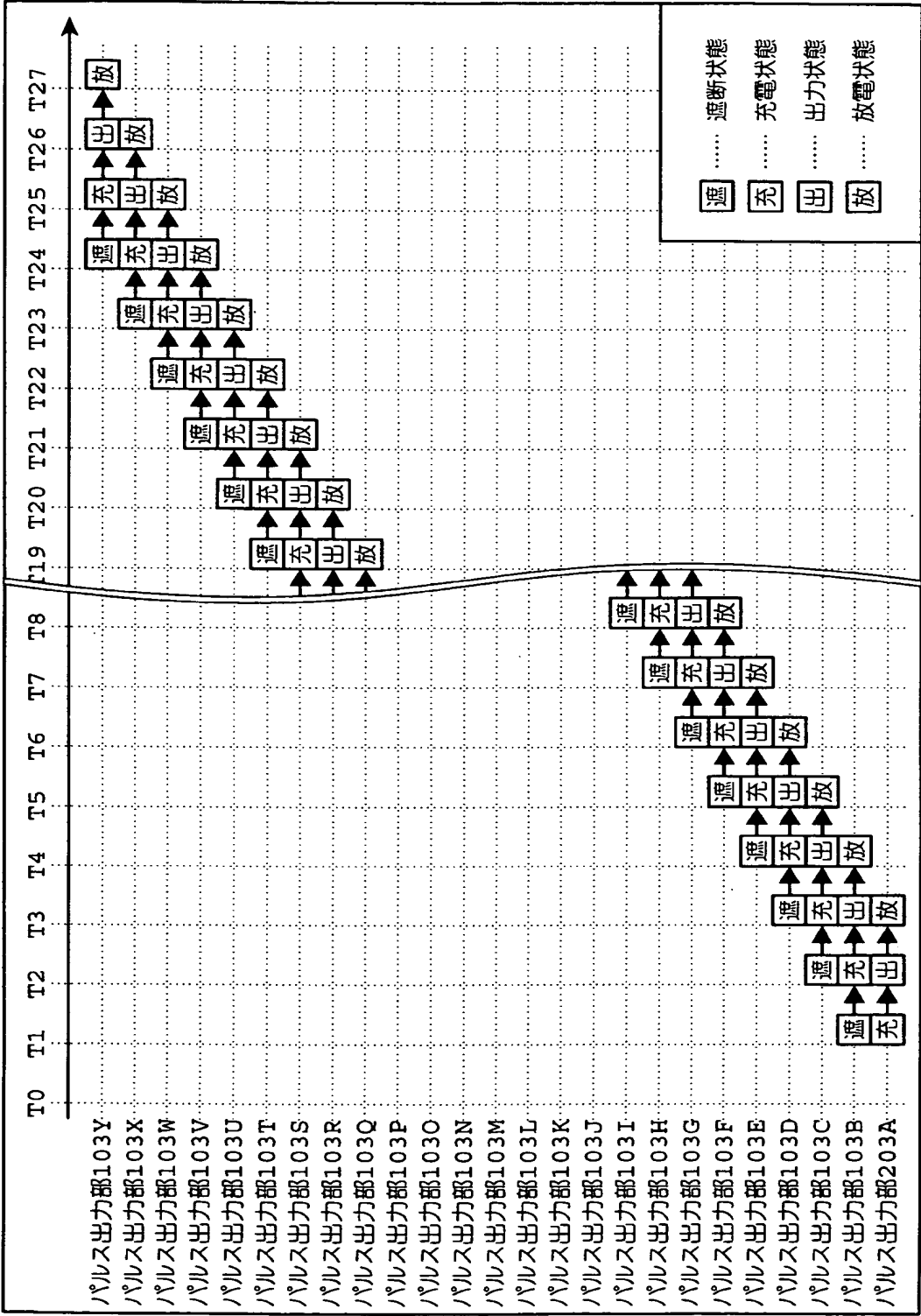
【図 36】



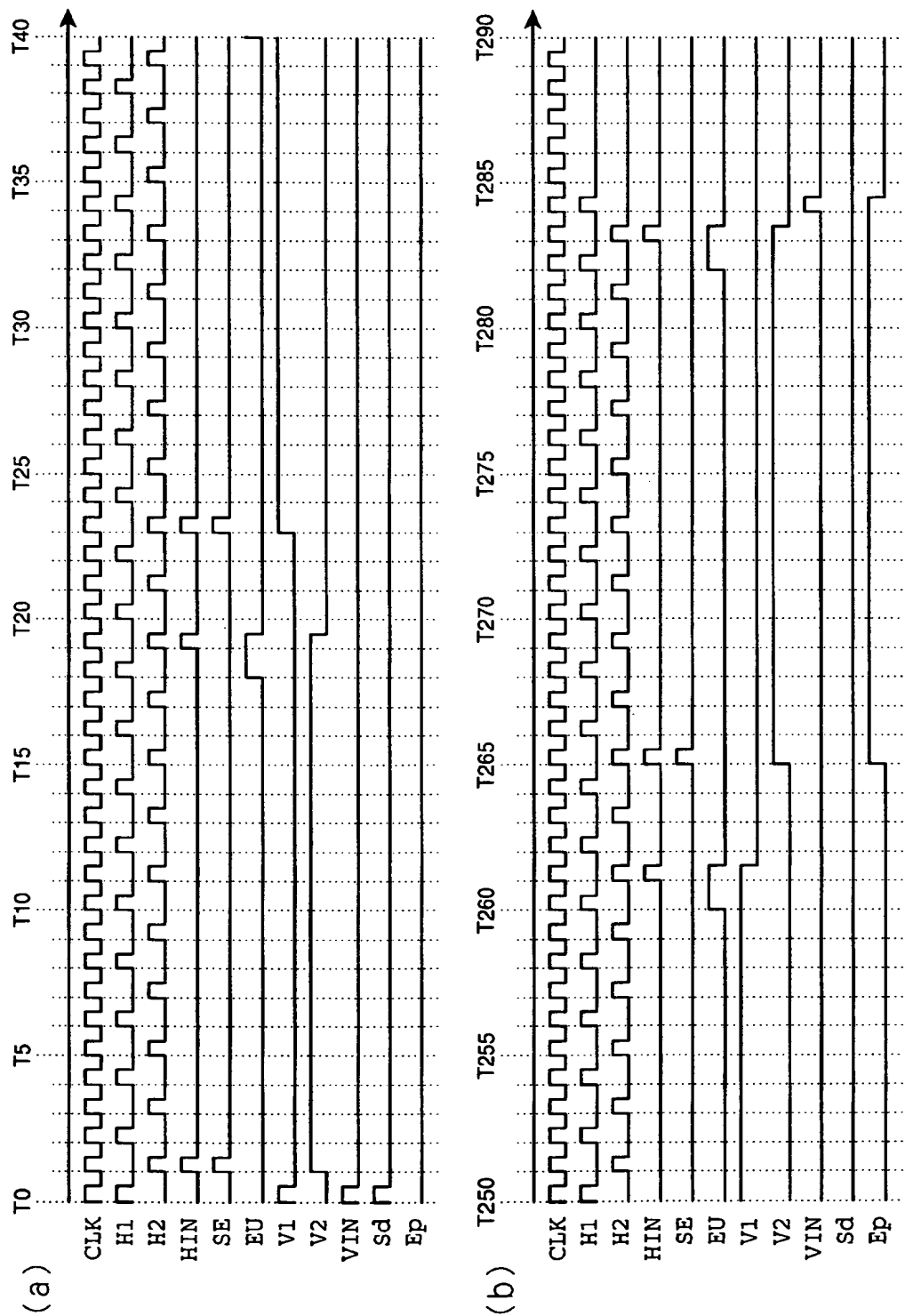
【図 37】



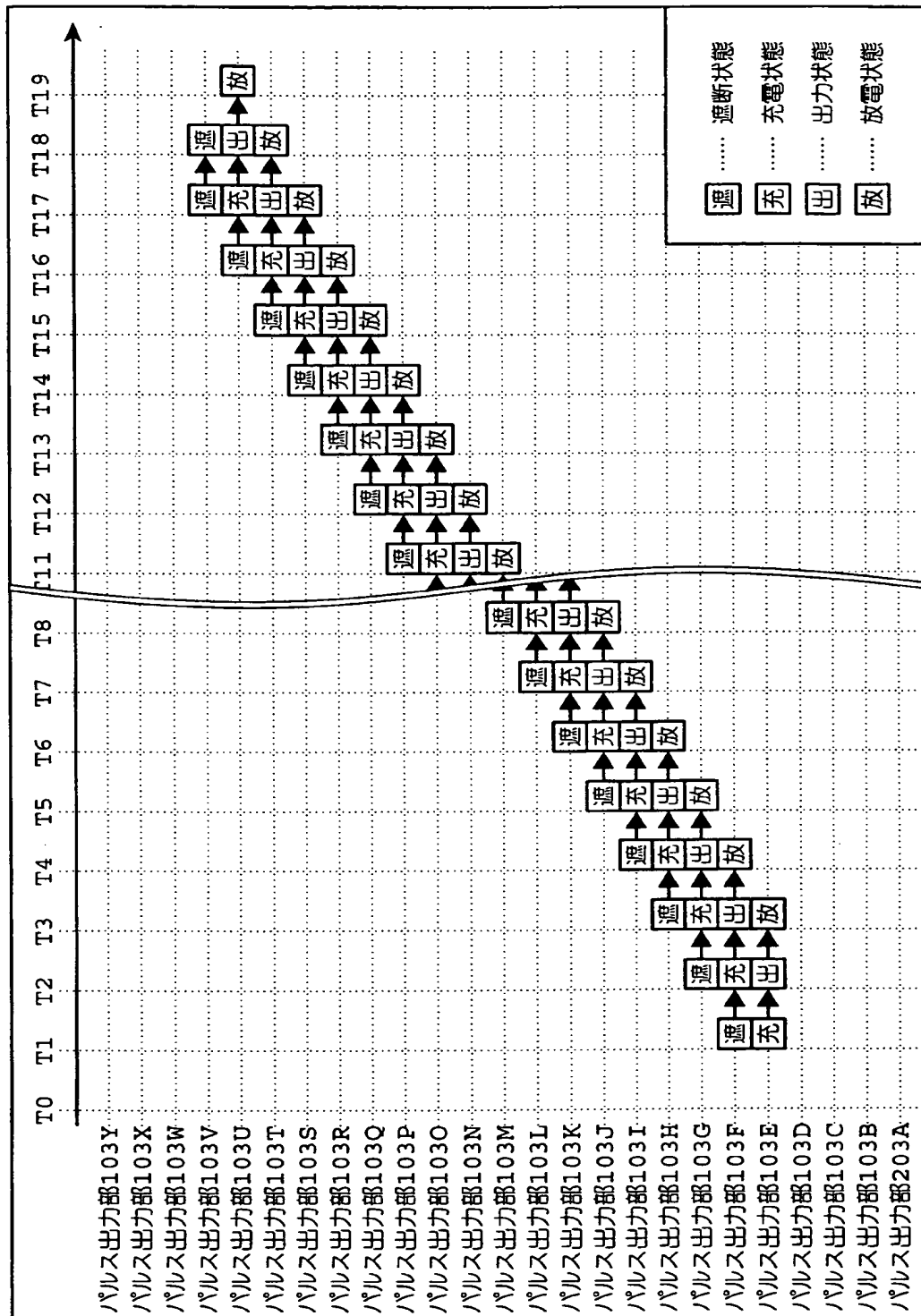
【図 38】



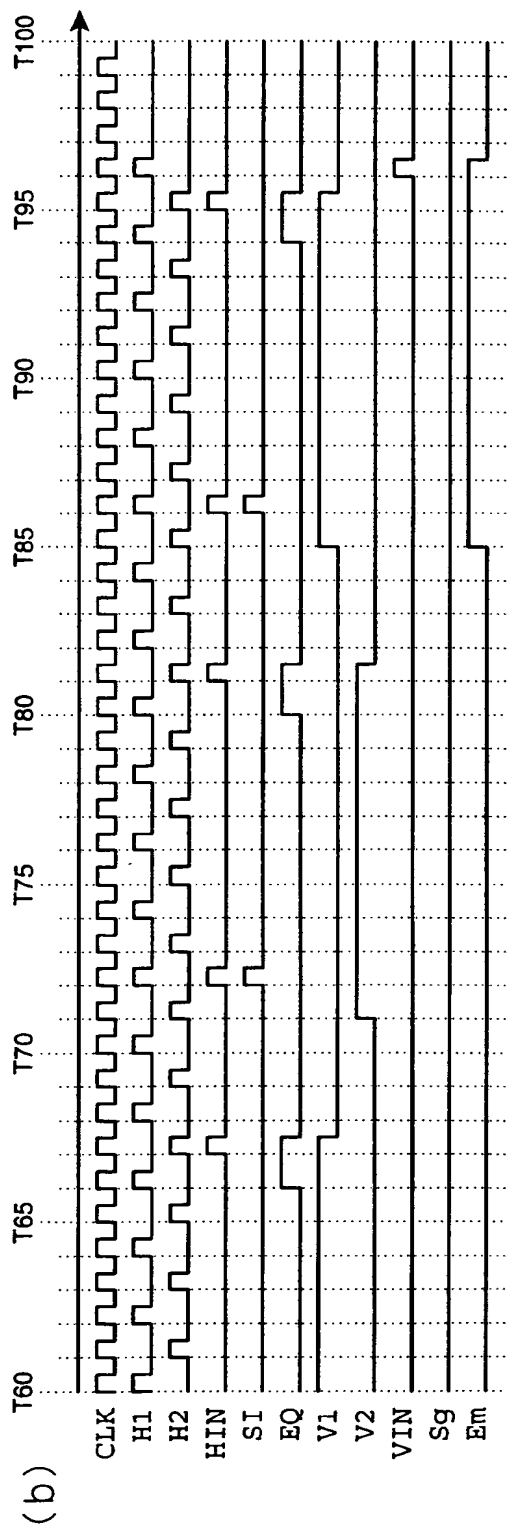
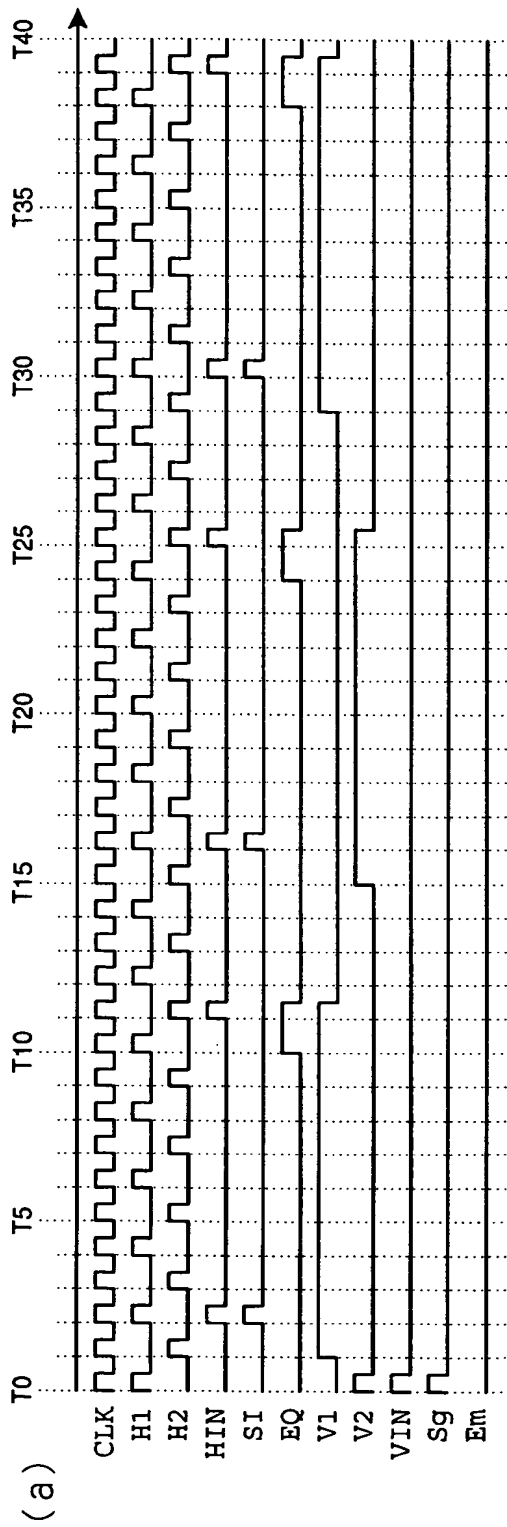
【図 39】



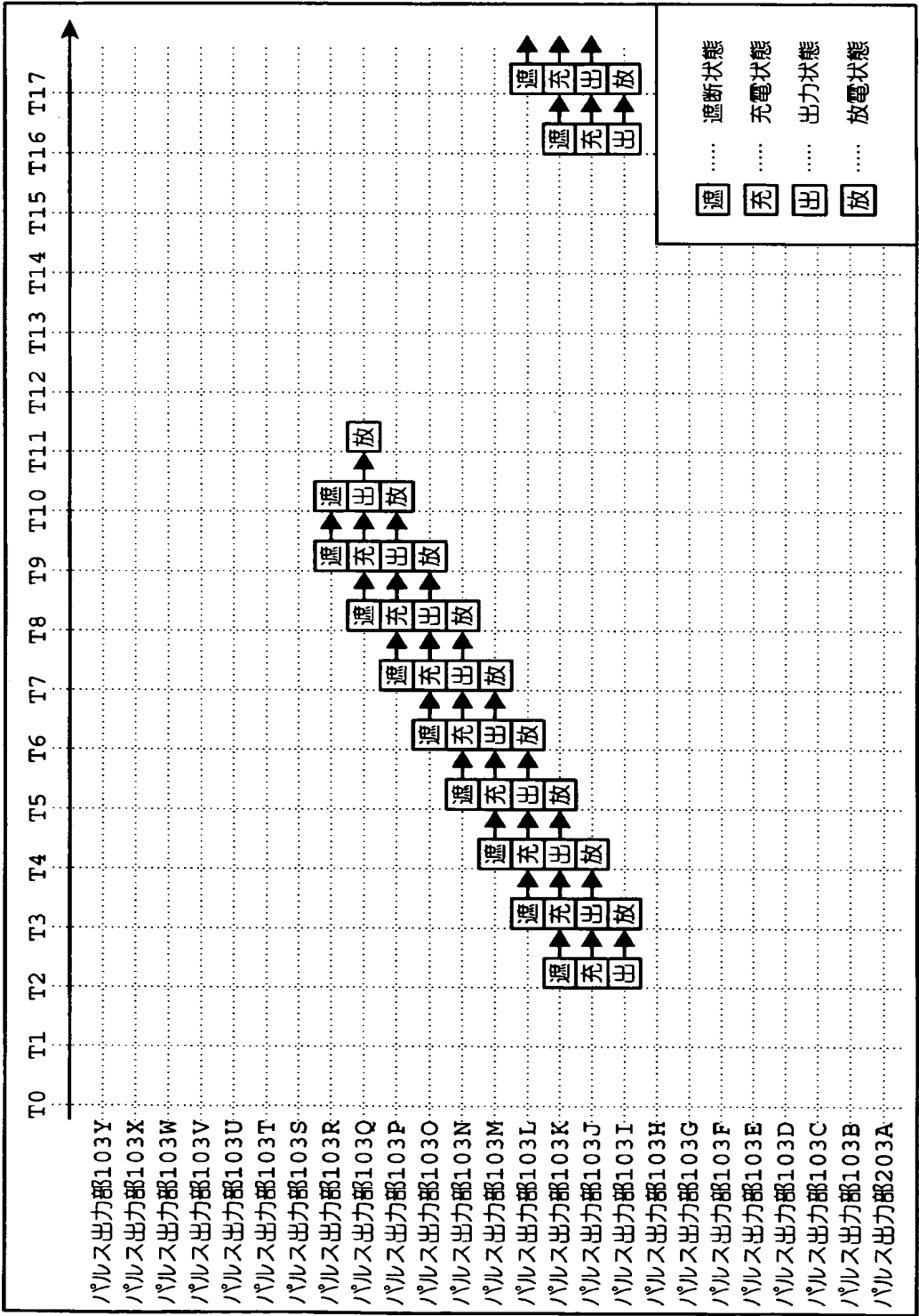
【図 40】



【図 41】



【図 42】



【書類名】 要約書

【要約】

【課題】 撮像する領域に応じて、走査に要する時間を短縮する X-Y アドレス型固体撮像素子を提供する。

【解決手段】 光電変換および電荷蓄積が行われる画素部を X-Y のマトリックス状に配列した受光部を有して、当該受光部を X 軸方向および Y 軸方向に走査して蓄積電荷を読み出す X-Y アドレス型固体撮像素子であって、電圧パルスが発生させるパルス発生回路から並列に印加される電圧パルスの組み合わせが第 1 の組み合わせであると、当該受光部における第 1 の画素部から走査を開始し、当該第 1 の組み合わせとは異なる第 2 の組み合わせであると、当該第 1 の画素部とは異なる第 2 の画素部から走査を開始する並列入力のシフトレジスタを備える。

【選択図】 図 1

特願 2 0 0 2 - 3 5 8 6 5 8

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社